

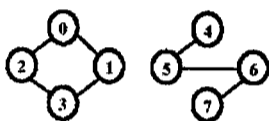
大葉大學 九十二 學年度 研究所碩士班 招生考試試題紙

系 所 別	組 別	考 試 科 目 (中文名稱)	考 試 日 期	節 次	備 註
資工所	甲	計算機概論	4月13日	第 1 節	共 2 頁 p2-1 08:30 ~ 10:00

註：考生可否攜帶計算機或其他資料作答，請在備註欄註明（如未註明，一律不准攜帶）

一、資料結構 (40%)

- 依序讀入一組資料：23、48、20、11、71、51、63、18、25、33。
 - 試建出其二元搜尋樹(Binary Search Tree)。(5%)
 - 該二元搜尋樹其中序追縱結果為何？(5%)
- 利用堆疊將下列中置式轉換成後置式，詳列過程。(5%)
A*(B+C)*D
- 試比較 Doubly linked list 與 Singly linked list 的優缺點。(5%)
- 請以下圖為例，回答圖形(graph)相關問題：
 - 以相鄰串列(adjacency lists)的表示法。(5%)
 - 承上，如果我們想利用一個陣列(array)來儲存相鄰串列(adjacency lists)的表示法，該如何作？請詳細說明。(10%)



- 試討論說明快速排序法(quick sort)在最壞情況下的時間複雜度。(5%)

二、作業系統 (30%)

- 假設某一磁碟驅動器具有 200 個磁柱(編號從 0 至 199)，其目前正在服務磁柱 143 的要求，而且先前所服務之要求在磁柱 125。此外，佇列中尚未處理之要求的 FIFO 排列順序為：86 - 147 - 91 - 177 - 94 - 150 - 102 - 175 - 130。則由目前的讀寫頭位置開始，對於 FCFS 磁碟排班演算法，其移動軌跡為 143 - 86 - 147 - 91 - 177 - 94 - 150 - 102 - 175 - 130。試問：若將 FCFS 演算法以下列演算法加以替代，則讀寫頭之移動軌跡為何？
 - SSTF scheduling (4%)
 - LOOK scheduling (4%)
 - C-SCAN scheduling (4%)
- 假設現有一大小為 500 位元組之程式，且其在執行時對記憶體位址的存取順序為：10 - 12 - 104 - 180 - 74 - 310 - 182 - 240 - 242 - 434 - 460 - 362。請回答以下問題：
 - 如果分頁大小(page size)為 100 位元組，則分頁參照串列(page reference string)之內容為何？(2%)
 - 如果此程式可使用之記憶體空間為 200 位元組，且其採用最佳分頁替換(optimal page replacement)演算法處理分頁替換，則此程式在執行時將引起多少次的分頁錯誤(page fault)？(4%)
 - 請一併說明最佳分頁替換演算法在實際執行與應用上所遭遇之困難。(2%)
- 以下程式為利用號誌(semaphore)解決讀者/寫者問題(the readers/writers problem)之實作。試問：該程式在執行時可能造成之錯誤情形為何？此一程式應如何修正方能正常運作？(10%)

```

/* program readers-writers */
int readcount;
semaphore x = 1, wsem = 1;
void reader(){
    while(true){
        wait(x);
        readcount++;
        if(readcount == 1) wait(wsem);
        READUNIT();
        readcount--;
        if(readcount == 0) signal(wsem);
        signal(x);
    }
}
void writer(){
    while(true){
        wait(wsem);
        WRITEUNIT();
        signal(wsem);
    }
}
void main(){
    readcount = 0;
    parbegin(reader, writer);
}
    
```

大葉大學 九十二 學年度 研究所碩士班 招生考試試題紙

系 所 別	組 別	考 試 科 目 (中文名稱)	考 試 日 期	節 次	備 註
資工所	甲	計算機概論	4月13日	第 1 節	共 2 頁 p2-2

三、邏輯設計 (30 %)

1. True/False: (5%)

- (1) An overflow may occur after an addition if one number is positive and the other is negative.
- (2) An overflow condition can be detected by the **carry into** the sign bit and the **carry out** of the sign bit position. If these two carries are not equal, an overflow condition is produced.
- (3) Is following distributive law valid $A \oplus BC = (A \oplus B)(A \oplus C)$
- (4) For a 2-bit up-counter, there are at least **one** flip-flop should be used.
- (5) The race condition occurred whenever two or more flip-flops must change state with response to a single change in input.

2. Single/Multiple choices: (5%)

- (1) Please choose the correct laws, (a) $X+YZ=(X+Y)(X+Z)$ (b) $(X+Y)(X+Y')=Y$ (c) $XY'+Y=Y+X$ (d) $(X+Y+Z)'=X'Y'Z'$ (e) $(XYZ)'=X+Y+Z$
 - (2) Please choose the correct laws, (a) $XZ+X'Y=(X+Y)(X'+Z)$ (b) $XY+YZ+X'Z=XY+X'Z$ (c) $(X+Y)(Y+Z)(X'+Z)=(X+Y)(X'+Z)$ (d) $(X+Y)(X'+Z)=XZ+XY'$
 - (3) Please choose the correct laws, (a) $X \oplus X=0$ (b) $(X \oplus Y) \oplus Z=X \oplus Y \oplus Z$ (c) $(X \oplus Y)'=X' \oplus Y$ (d) $XY \oplus XZ=X(Y \oplus Z)$
 - (4) The Boolean function $F(A, B, C, D)=\Sigma(0,2,4,5,6,7,8,10,13,15)$, (a) Simplify as $A'D'$ (b) Simplify as $A'B+BD+B'D'$ (c) represent as $F(A, B, C, D)=\Pi(1,3,9,11,12,14)$ (d) Is SOP form ?
 - (5) Please compare the **Latch** and **Flip-Flop (FF)**, (a) both are memory element (b) Latch operation at clock edge (c) FF operation at clock high/low level (d) Use FF in synchronous design
3. (1) Please implement a simple arithmetic unit, which only using one full adder to execute **1-bit addition** or **subtraction** function. (please draw the logic circuit) (2%)
 - (2) Please derive the Boolean function of **Sum** and **Carry** bit of 1-bit full adder, then construct the full adder by using two 1-bit **half adder**. (the procedures should be in detail) (4%)
4. For one transmission path has three-lines, please describe one **odd parity** generation & detection circuit. (4%)
5. (1) We use two **J-K** Flip-Flop (A F/F for high bit, B F/F for low bit) to design a **2-bit up-counter**, please derive the **input logic function** of these two Flip-Flop. (5%)
 - (2) We change to use **D-type** Flip-Flop, please re-derive the **input logic function** of these two Flip-Flops. (5%)