

以 Corner Block List 表示法處理植基於群聚策略之 不確定模組平面規劃問題

程仲勝 潘佳信

大葉大學電機工程學系

彰化縣大村鄉山腳路 112 號

摘要

隨著 VLSI (very large scale integration) / SOC (system-on-a-chip) 的蓬勃發展，如何在電路模組面積及寬高維度皆不確定時，即尚未設計完成時，評估這些不確定模組在後端實體設計階段 (physical design phase) 所可能形成之晶片面積大小是相當重要的議題。對於絕大多數先前研究而言，只評估由具有固定面積甚至具有固定寬高之確定模組所形成之晶片面積，而對於不確定模組 (uncertain module) 的平面規劃問題則未有實驗探討。因此在本論文中我們提出一個植基於群聚 (clustering) 策略之不確定模組平面規劃演算法以便能有效的評估不確定模組所形成之晶片面積。在我們的方法中，首先給定每一個模組幾組不同的寬與高及其相對應之可能機率，接著採用群聚技巧將模組聚集起來形成一些面積較大但個數較少的組合模組 (supermodules)，最後以 Corner Block List 表示法來記錄組合模組間相對位置關係並在其上執行模擬退火 (simulated annealing) 程序以求得面積最佳化的結果。由實驗結果得知，對於每個例子我們可以得出不確定模組所形成的最終晶片寬、高與其面積之機率分佈圖，藉此評估尚未設計完成之電路模組在未來所形成可能之晶片面積大小。

關鍵詞：實體設計，平面規劃，不確定模組，群聚，模擬退火

A Clustering-Based Approach for Floorplanning of Uncertain Modules by Using Corner Block List Representation

JONG-SHENG CHERNG and CHIA-HSIN PAN

Department of Electrical Engineering, Da-Yeh University

112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan

ABSTRACT

As the VLSI (very large scale integration) / SOC (system-on-a-chip) technology advances, it is becoming increasingly important for system designers to evaluate a chip area before backend physical design phase by effectively and efficiently floorplanning uncertain modules which have not been completely designed and have uncertain dimensions. Most of the previous research deals with evaluating chip area by considering only soft or hard, rather than uncertain, modules. In this paper, to evaluate the area of a chip of uncertain modules effectively and efficiently, a non-slicing

floorplanning algorithm based on a clustering strategy is proposed. In this method, when given certain sets of different widths, heights and corresponding feasible probabilities for each uncertain module, a clustering strategy is applied to group modules to form fewer supermodules of a larger size. Then, the Corner Block List representation for a non-slicing floorplan is used to record the relative positions among supermodules, and the simulated annealing procedure is finally executed according to Corner Block List representation for obtaining a better solution. Experimental results show that a better area distribution graph can be obtained for each benchmark when compared to the slicing-based method; thus, the effectiveness of the proposed algorithm is demonstrated.

Key Words: physical design, floorplanning, uncertain module, clustering, simulated annealing

一、簡介

VLSI (very large scale integration) 後端實體設計階段 (physical design phase) 中的平面規劃 (floorplanning) 是整個階段的第一個步驟且是一個相當重要的步驟, 其影響爾後其他步驟甚鉅, 因此有許多方法被提出來解決後端實體設計階段平面規劃的問題 [1-3, 5-19]。平面規劃最主要的目的是放置一組電路模組 (modules) 於晶片上並使整體晶片面積達到最小。平面規劃後所得之最終平面圖 (floorplan) 可以分成可切割 (slicing) 平面圖 [15, 18] 與不可切割 (non-slicing) 平面圖 [1-3, 5-14, 16-17, 19] 兩大類。因此, 平面規劃演算法亦可分為處理可切割 [15, 18] 與不可切割 [1-3, 5-14, 16-17, 19] 平面結構兩大類。在處理可切割平面結構方面可用可切割樹 (slicing tree) [15] 和波蘭表示法 (polish expression) [18] 表示模組間位置的關係。而在處理不可切割平面結構方面則可用 BSG (bounded-sliceline grid) 表示法 [14]、Sequence-Pair 表示法 [13]、O-Tree 表示法 [6]、B*-Tree 表示法 [5]、CBL (corner block list) 表示法 [7] 及 TCG (transitive closure graph) 表示法 [9] 等來表示模組間相對位置關係。

隨著積體電路設計的複雜化, 在實體設計階段時才考慮平面規劃問題已不能滿足系統設計需求, 因此須在模組設計尚未完成前即考慮評估此種不確定模組 (uncertain modules) 對未來形成之晶片面積有何影響, 進而修正系統階層之模組設計, 使得整個系統設計趨於完善, 加速各階段之設計收斂 (design closure) 時間。然而除了文獻 [4] 提出以二元樹表示可切割之不確定模組平面規劃外, 就我們所知以往並沒有其他關於解決不確定模組平面規劃問題之文章。因此在本論文中我們提出一個以 Corner Block List 不可切割表示法 [7] 來處理不確定模組之平面規劃問題, 藉以改進文獻 [4] 以可切割表示法所得之結果。在我們的方法中, 首先給定每一

個不確定模組幾組不同的寬與高及其相對應之可能機率, 接著採用群聚技巧將不確定模組聚集起來形成一些面積較大但個數較少的組合模組 (supermodules), 最後再以 Corner Block List 表示法來記錄組合模組間相對位置關係, 並在其上執行模擬退火 (simulated annealing) 程序以求得面積較佳化的結果。

二、問題描述

不確定模組之平面規劃即是在模組彼此不重疊的限制下擺置一組不確定電路模組, 以求得一較佳最終晶片寬、高與其面積之機率分佈。令 $B = \{b_1, b_2, \dots, b_n\}$ 為欲擺置之 n 個不確定寬與高 (面積不固定) 之矩形模組集合, 而第 i 個模組 b_i 之寬、高可能值及其相對應之可能機率值分別為 $\{(w_{i1}, Pw_{i1}), (w_{i2}, Pw_{i2}), \dots, (w_{is}, Pw_{is})\}$ 與 $\{(h_{i1}, Ph_{i1}), (h_{i2}, Ph_{i2}), \dots, (h_{it}, Ph_{it})\}$, 其中 $w_{ik}(h_{ik})$ 為可能之寬 (高) 值, 而 $Pw_{ik}(Ph_{ik})$ 則為相對應之機率值, 且 $Pw_{i1}+Pw_{i2}+\dots+Pw_{is} = 1$ 及 $Ph_{i1}+Ph_{i2}+\dots+Ph_{it} = 1$; 經不確定模組平面規劃處理後可得到最終平面圖之寬與高機率分佈, 分別為 $\{(w_1, Pw_1), (w_2, Pw_2), \dots, (w_x, Pw_x)\}$ 與 $\{(h_1, Ph_1), (h_2, Ph_2), \dots, (h_y, Ph_y)\}$, 其中 $Pw_1+Pw_2+\dots+Pw_x = 1$ 且 $Ph_1+Ph_2+\dots+Ph_y = 1$ 。而寬及高機率分佈相乘則可得最終平面圖之面積機率分佈。

三、Corner Block List (CBL) 表示法

由於我們所提出解決平面規劃的方法是以 CBL 表示法 [7] 為基礎, 因此以下將簡要說明 CBL 表示法如何記錄模組間相對位置關係以及如何在其上執行模擬退火的程序。CBL 表示法是由 S 、 L 及 T 三種串列所組成; 其中 S 串列記錄各個模組的代號, L 串列記錄模組的位置關係, T 串列記錄每一個模組與其他相鄰模組所形成 T 字形的個數, 由這三個串列, 可得到一個唯一的平面圖。 L 串列所記錄的為目前

欲擺入模組與其他已擺入模組的位置關係，此關係可分為兩類；一類為 $L = 0$ ，而另一類為 $L = 1$ ；其中 $L = 0$ 表示目前擺入模組的位置必須位於上一個擺入模組位置的上方，而 $L = 1$ 則表示其位置在上一個擺入模組位置的右方，如圖 1 所示。另一方面 T 串列由 0、1 所組成，每次讀入 T 串列時以讀至 0 為停止條件，並計算讀入 1 的個數，若讀入 1 之個數為 N ，則表示目前欲擺入之模組與 $N + 1$ 個已擺入模組相鄰。關於 CBL 表示法詳細說明，可參考文獻 [7]。

四、兩階段平面規劃

所提平面規劃演算法在第一階段使用群聚技巧將模組群集起來形成一些面積較大的組合模組，接著在第二階段採用 CBL 表示法 [7] 來記錄組合模組間相對位置關係並執行模擬退火程序以求得面積較佳化的結果。整個兩階段平面規劃演算法步驟可由以下之虛擬碼加以表示。在接下來三個子節中亦將針對演算法中重要步驟程序加以說明。

Algorithm

begin

讀入測試例子之資料檔案；
群聚原始模組；
隨機產生 CBL 串列；
根據 CBL 串列產生初始平面圖；
計算初始平面圖之面積期望值及面積變異數；
執行模擬退火程序以求得較佳解；

end

(一) 群聚

在一般的平面規劃中，並沒有強制相關之模組必須擺放在附近，但在一般的 IC 設計中，有許多模組有著強烈的連結關係而不能相距太遠甚至必須相鄰，在這樣的情形下，我

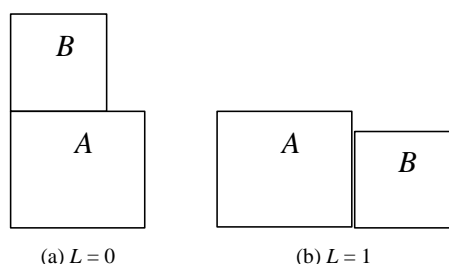


圖 1. 目前欲擺入模組 B 與上一個擺入模組 A 的位置關係

們可將某些模組強制擺放在一起；另一方面，適當的群聚可以增加所評估平面規劃結果的準確度。因此本論文中我們提出群聚的策略將模組組合形成較大的組合模組。目前我們只考慮每兩個模組群聚成一個組合模組，如此可減少多個模組同時群聚時可能會形成較多且較分散的閒置空間 (dead space) 問題。而在挑選模組群聚時需考慮群聚後組合模組之閒置空間。換句話說，組合模組之閒置空間愈少愈好。另一方面，任兩個模組群聚，依其相對位置之不同，會形成八種不同組合狀況，在不考慮連線接腳位置時，其中有四種狀況是重複的，所以可以將組合的情況簡化為四種。對於這四種組合我們將選擇閒置空間少的做為兩模組群聚後之組合模組。

接著我們說明演算法中所採用由下往上 (bottom up) 階層式 (hierarchy) 模組群聚的步驟：

步驟 1：設 $f = \sum_{i,j} (l_{1i} - l_{2j}) \times Pl_{1i} \times Pl_{2j}$ ，其中 l_{1i} 及 l_{2j} 分別表

示兩個模組群聚時相接觸面的可能邊長，而 Pl_{1i} 及 Pl_{2j} 則分別表示可能邊長之相對應機率值。

(a) 任找一模組 A ，使其與模組 B 形成一組合模組，其中模組 B 為所有模組中與模組 A 群聚後可產生最小 f 值者。(注意：任兩模組群聚後之 f 值取其 4 種組合中 f 值最小者)。

(b) 將已群聚之模組移除，對剩下之模組重複步驟 (a) 及 (b) 直到所有模組皆已群聚。

步驟 2：將步驟 1 完成後之組合模組重新視為一般模組並重複步驟 1 及步驟 2 直至達到預設之群聚階層數。

(二) CBL 為主之不確定模組平面規劃之計算

利用群聚技巧形成組合模組之後，我們使用 CBL 表示法 [7] 來記錄組合模組間的相對位置，並記錄每一組合模組左下角有可能的 X、Y 座標與其相對應之機率。

我們利用以下步驟求出每一組合模組左下角 X、Y 座標與其相對應之機率。

步驟 1：讀入串列 S 第一個元素 $S[0]$ 並將其所對應之組合模組左下角座標與其相對應之機率設為 $((0, 1), (0, 1))$ 。

步驟 2：For $i = 1$ to $n - 1$

讀入串列 L 中之元素 $L[i - 1]$ 與讀入串列 T ，若讀入的元素 $L[i - 1] = 0$ ，則將元素 $S[i]$ 擺在 $S[i - 1]$ 的上方，並利用目前所讀入串列 T 之內容判斷與多少已

擺放組合模組相鄰，計算 $S[i]$ 所對應組合模組左下角座標時，其 X 座標與相對應之機率與在相鄰組合模組中最左側者之 X 座標與其相對應之機率相同，而 Y 座標則為所有相鄰組合模組之 Y 座標加上其高後所形成有可能之高度相同，而相對應之機率亦可由相對組合模組之 Y 座標機率乘上其高之機率求得；然而若 $L[i-1] = 1$ ，則將 $S[i]$ 擺在 $S[i-1]$ 的右方，此時 $S[i]$ 之 Y 座標與相對應之機率與在相鄰組合模組中最下側者之 Y 座標與其相對應之機率相同，而 X 座標則為所有相鄰組合模組之 X 座標加上其寬後所形成有可能之寬度相同，而相對應之機率亦可由相對組合模組之 X 座標機率乘上其寬之機率求得。

每一個組合模組左下角之座標與其相對應機率計算完成後，即可計算最終平面規劃結果的寬 / 高 / 面積值及其相對應機率。

(三) 模擬退火

接著我們介紹如何在 S 、 L 、 T 三個串列上執行模擬退火的程序，以求得較佳模組間相對位置關係：

步驟 1：隨機產生一組可行的 S 、 L 、 T 串列並計算其所對應之初始平面圖面積機率分佈。

步驟 2：開始執行模擬退火程序，我們利用以下幾種改變目前模組間相對位置關係的方式進行退火程序：

- (a) 隨機交換 S 串列中的任兩個模組。
- (b) 隨機選擇 L 串列中的一個位置，並將 1 變 0 或 0 變 1。
- (c) 隨機選擇 T 串列中的一個位置，並將 1 變 0 或 0 變 1。
- (d) 模組旋轉 90° 、 180° 或 270° 。

步驟 3：計算改變後新平面圖的面積期望值與面積變異數之總和。設定成本函數 $cost$ 為此次產生之面積期望值與面積變異數之總和減去上一次接受之面積期望值與面積變異數之總和。若 $cost$ 小於零則接受新解，若大於零則隨機產生一介於 0 至 1 之間的數 r 並比較 r 與 $\exp(-cost/k)$ (k 為溫度參數) 之大小以決定是否接受新解。平面圖的面積期望值代表所有可能面積與其相對應機率之期望值，此值越小越好，愈能產生具有較小面積之平面圖；而平面圖的面積變異數亦越小越好，愈能產生較可靠的平面

圖，亦即在所有不確定模組設計完成後之平面圖面積應與估計結果較接近。因此模擬退火之成本函數設為新產生之面積期望值與面積變異數之總和減去上一次接受之面積期望值與面積變異數之總和，期望能尋求一具有較小面積及較可靠之可能平面圖。

步驟 4：依照遞減公式逐次減小 k 值。重複步驟 2 到步驟 4 直到 k 值小於預設凝固點。

五、實驗結果

在本論文中使用 PC 為實驗平台，其中 CPU 時脈為 2.2GHz，記憶體為 512MB，使用編譯軟體為 Microsoft Visual C++ 6.0。實驗所用的 benchmarks 取至 MCNC 包含 apte、xerox、hp、ami33 及 ami49 五個測試例子。在本次的實驗中，針對 benchmarks 模組的資料做了一點修改以符合不確定模組之平面規劃問題，其中將有些模組原本固定維度的資料改為具有多種可能之不固定資料，亦即將固定模組改為不確定性模組。

以下針對每個例子執行所提之以 CBL 為主平面規劃演算法，其中程式中模擬退火之起始溫度設為 50000°C ，終止溫度設為 10°C ，降溫比率設為 0.99；由圖 2 至圖 6 分別得到 apte、xerox、hp、ami33 及 ami49 五個測試電路最終平面圖寬度機率分佈、高度機率分佈及面積機率分佈之結果。另外，我們亦實作文獻 [4] 以可切割表示法為主之平面規劃演算法加以比較；由圖 7 至圖 11 分別繪出 apte、xerox、hp、ami33 及 ami49 五個測試電路最終平面圖面積機率分佈之結果。觀察圖 2 至 11 可知圖中每個寬、高及面積機率分佈曲線皆有一些高低起伏，其中曲線高點代表其所屬寬 / 高 / 面積大小擁有較高發生機率，因此我們可據以評估出最有可能之平面圖面積。當然，最終估計平面圖之寬、高及面積機率分佈串列與各模組原先可能的寬高值及其相對應的機率值相關。基本上，若各模組可能的寬高值較多且其相對應的機率值較平均時，亦即模組之不確定性較高，則其相對應之最終估計平面圖之寬、高及面積機率分佈曲線起伏會較平坦，此時較無法評估出最有可能之平面圖寬、高及面積。相對地，若各模組原先可能的寬高值較少且其相對應的機率值差異較大時，亦即模組之不確定性較低，則其相對應之最終估計平面圖之寬、高及面積機率分佈曲線起伏會較劇烈，此時較可評估出最有可能之平面圖寬、高及面積。

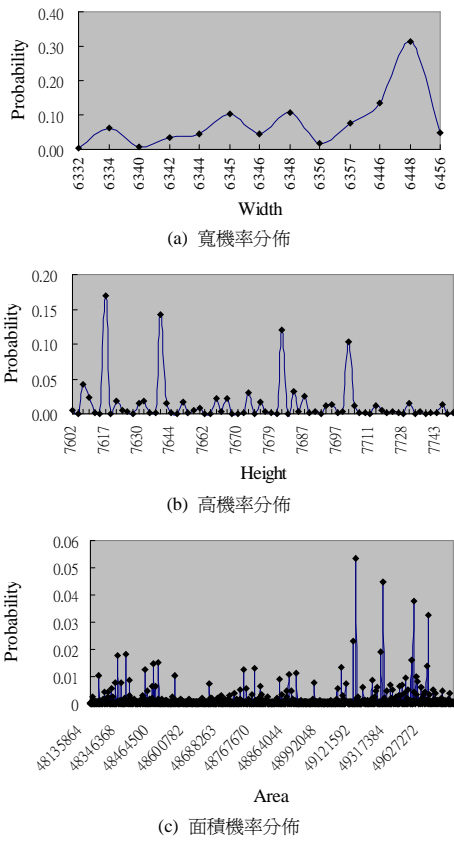


圖 2. apte circuit CBL based 實驗結果

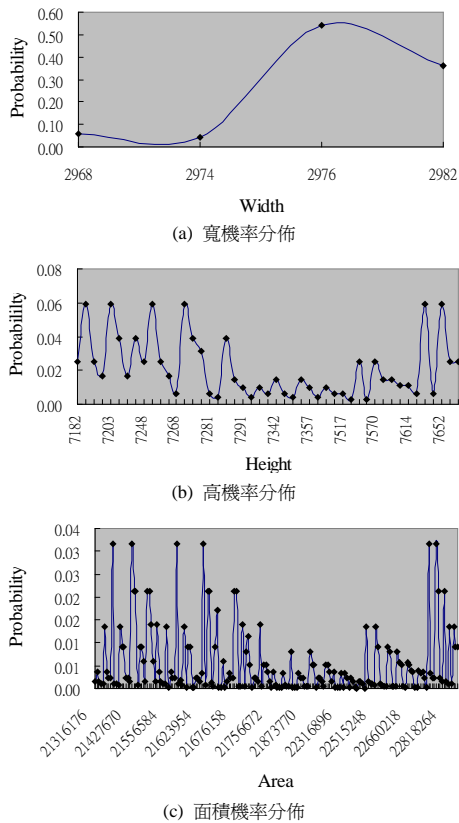


圖 3. xerox circuit CBL based 實驗結果

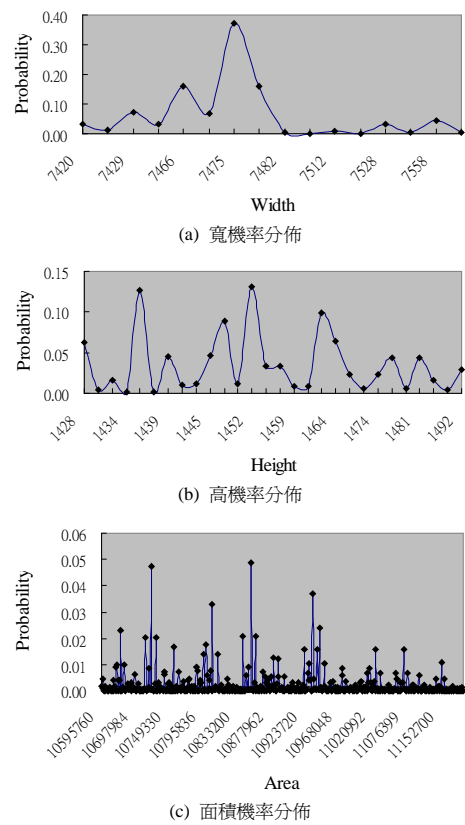


圖 4. hp circuit CBL based 實驗結果

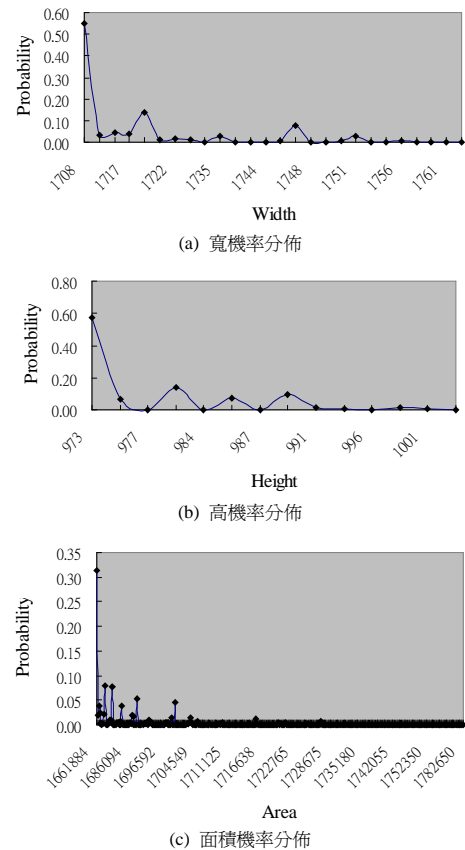
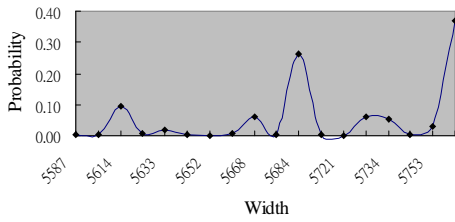
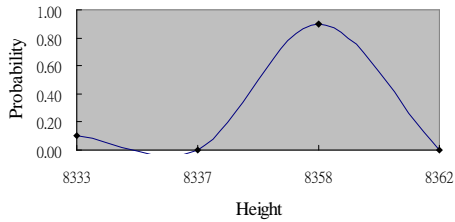


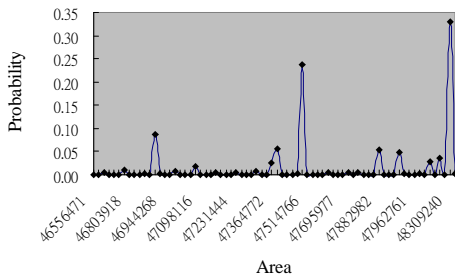
圖 5. ami33 circuit CBL based 實驗結果



(a) 寬機率分佈



(b) 高機率分佈



(c) 面積機率分佈

圖 6. ami49 circuit CBL based 實驗結果

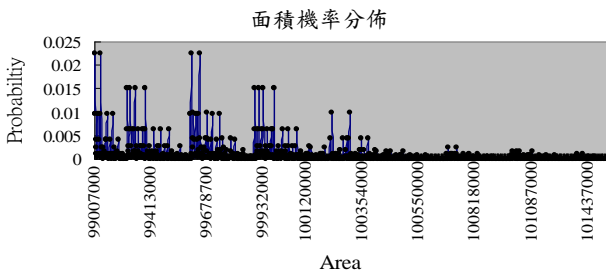


圖 7. apte circuit slicing based 實驗結果

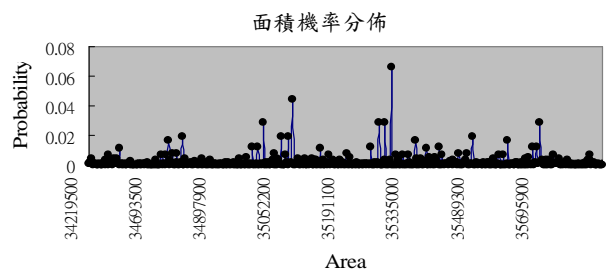


圖 8. xerox circuit slicing based 實驗結果

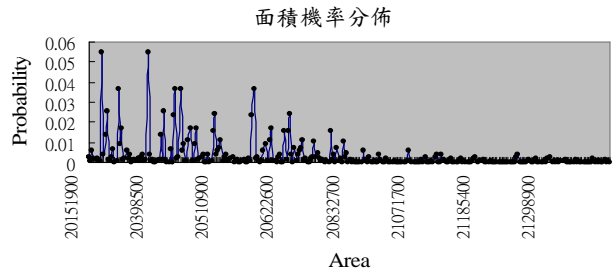


圖 9. hp circuit slicing based 實驗結果

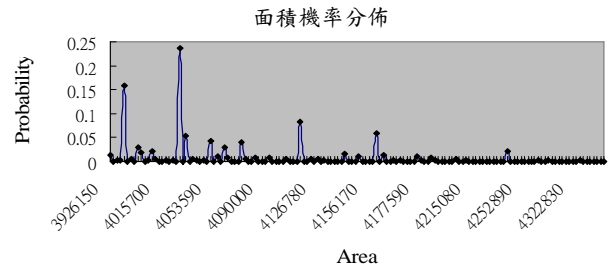


圖 10. ami33 circuit slicing based 實驗結果

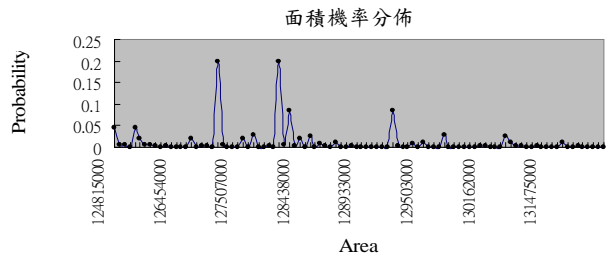


圖 11. ami49 circuit slicing based 實驗結果

另一方面，由圖 2 至圖 11 最終平面圖面積機率分佈圖之結果可以清楚的看到面積皆分佈在一定的範圍內，我們將以 CBL 及 slicing 為主所得各例子面積範圍及其區間大小列於表 1。由表 1 可知，兩種方法在執行時間相差不大的情形下，文獻 [4] 以 slicing 為主的方法對 apte、xerox、hp、ami33 及 ami49 五個測試電路所得面積範圍分別為本論文所提以 CBL 為主方法的 2 倍、1.6 倍、2 倍、2.5 倍及 2.7 倍，亦即以 CBL 為主的方法可提供較小面積的評估結果。另外，以 CBL 為主的方法所得每個例子面積區間大小亦較 slicing 為主的方法來得小，這可說明以 CBL 為主的方法能產生變異性不大，亦即較可信賴的評估結果。

表 1. CBL 及 slicing 為主平面規劃所得各例子面積範圍及其區間大小

Benchmarks		apte	xerox	hp	ami33	ami49
slicing	時間(sec)	5	5	6	65	103
	面積範圍 ($\times 0.000001$)	99.00 ~ 102.11	34.21 ~ 36.25	20.15 ~ 21.51	3.92 ~ 4.37	124.81 ~ 132.88
	面積區間大小	3.11	2.04	1.36	0.45	8.07
CBL	時間(sec)	12	12	13	41	98
	面積範圍 ($\times 0.000001$)	48.13 ~ 50.11	21.31 ~ 22.94	10.59 ~ 11.28	1.66 ~ 1.78	46.55 ~ 48.33
	面積區間大小	1.98	1.63	0.69	0.12	1.78

六、結論

在本論文中我們提出一個植基於群聚策略之不確定模組之不可切割平面規劃演算法以便能有效的評估具有不固定維度 / 面積模組電路所形成平面圖之寬、高與面積。所提出的方法中，首先使用群聚技巧將模組兩兩聚集起來形成一些面積較大但個數較少的組合模組，接著採用 Corner Block List 表示法來記錄組合模組間相對位置關係並在其上執行模擬退火程序以求得面積較佳化的結果。除了面積之外，未來我們亦將於平面規劃過程中考慮網列連線長度及其分佈狀況，藉以求得不確定模組間網列連線長度及繞線擁擠程度的機率分佈情形。

誌謝

在此感謝行政院國家科學委員會提供本研究計畫(計畫編號：NSC92-2218-E-212-003 及 NSC93-2215-E-212-001)之經費補助。

參考文獻

- 吳彬玄、程仲勝 (民 91)，降低電磁干擾之後置平面規劃器，第四屆台灣電磁相容研討會，台北。
- 吳彬玄、習存榮、程仲勝 (民 92)，考慮電磁相容之超大型積體電路平面規劃之研究，第五屆台灣電磁相容研討會，台北。
- 程仲勝、潘佳信、江昱麟、蔡宗達 (民 95)，以不可切割表示法處理植基於群聚策略之平面規劃問題，科學與工程技術期刊，2(3)，19-28。
- Bazargan, K., S. Kim and M. Sarrafzadeh (1998) Nostradamus: A floorplanner of uncertain design. 7th International Symposium on Physical Design, Napa Valley, CA.
- Chang, Y. C., Y. W. Chang, G. M. Wu and S. W. Wu (2000) B*-trees: A new representation for non-slicing floorplans. 37th Design Automation Conference, Los Angeles.
- Guo, P. N., C. K. Cheng and T. Yoshimura (1999) An O-tree representation of non-slicing floorplan and its applications. 36th Design Automation Conference, New Orleans, LA.
- Hong, X., G. Huang, Y. Cai, J. Gu, S. Dong, C. K. Cheng and J. Gu (2000) Corner block list: An effective and efficient topological representation of non-slicing floorplan. 18th International Conference on Computer-Aided Design, San Jose, CA.
- Li, J., T. Yan, B. Yang, J. Yu and C. Li (2005) A packing algorithm for non-manhattan hexagon/triangle placement design by using an adaptive o-tree representation. 42nd Design Automation Conference, Anaheim, CA.
- Lin, J. M. and Y. W. Chang (2001) TCG: A transitive closure graph-based representation for non-slicing floorplans. 38th Design Automation Conference, Las Vegas, NV.
- Long, C., L. J. Simonson, W. Liao and L. He (2005) Floorplanning optimization with trajectory piecewise-linear model for pipelined interconnects. 42nd Design Automation Conference, Anaheim, CA.
- Ma, Y., S. Dong, X. Hong, Y. Cai, C. K. Cheng and J. Gu (2001) VLSI floorplanning with boundary constraints based on corner block list. 6th Asia and South Pacific Design Automation Conference, Yokohama.
- Ma, Y., X. Hong, S. Dong, Y. Cai, C. K. Cheng and J. Gu (2001) A compact algorithm for placement design using corner block list representation. 4th ASIC Conference, Hong Kong.

-
13. Murata, H., K. Fujiyoshi, S. Nakatake and Y. Kajitani (1996) VLSI module placement based on rectangle-packing by the sequence-pair. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 15(12), 1518-1524.
 14. Nakata, S., K. Fujiyoshi, H. Murata and Y. Kajitani (1996) Module placement based on BSG-structure and IC layout applications. 14th International Conference on Computer-Aided Design, San Jose, CA.
 15. Otten, R. H. J. M. (1982) Automatic floorplan design. 19th Design Automation Conference, Miami Beach, FL.
 16. Sassone, P. G. and S. K. Lim (2003) A novel geometric algorithm for fast wire-optimized floorplanning. 21st International Conference on Computer-Aided Design, San Jose, CA.
 17. Tang, X. and D. F. Wong (2002) Floorplanning with alignment and performance constraints. 39th Design Automation Conference, New Orleans, LA.
 18. Wong, D. F. and C. L. Liu (1986) A new algorithm for floorplan designs. 23rd Design Automation Conference, Las Vegas, NV.
 19. Xiang, H., X. Tang and D. F. Wong (2003) Bus-driven floorplanning. 21st International Conference on Computer-Aided Design, San Jose, CA.
- 收件：95.01.13 修正：95.03.29 接受：95.05.05