

藍芽接收端之低雜訊放大器設計

陳勝利¹ 陳勳祥² 白欣松³ 李宗豪³

¹ 國立聯合大學電子工程學系

苗栗市恭敬里聯大一號

² 國立彰化師範大學電子工程學系

彰化市進德路一號

³ 大葉大學電機工程學系

彰化縣大村鄉山腳路 112 號

摘要

本篇論文提出一個操作在 1.8V 供應電壓，應用於射頻 (radio frequency) 接收端的低雜訊放大器 (low-noise amplifier, LNA)，放大器適用於無線藍芽系統 2.4GHz 頻段。LNA 採用單端 (single ended)、串疊 (cascode) 的結構，並且爲了節省整體面積以及後級電路整合度的考量而使用 on-chip 螺旋電感 (spiral inductors)。本論文使用 Advanced Design System (ADS) 模擬軟體，配合高整合性的 TSMC CMOS (互補式金氧電晶體) 0.18 μ m 的 Model 來模擬電路。

論文中的前端低雜訊放大器設計主要是符合藍芽系統應用需求，除了低功率消耗，低雜訊放大器的輸出入阻抗、功率增益、隔絕度、線性度也是設計的考量，利用調整 LNA 的電路來達成電路整體的最佳效能。其模擬結果功率消耗約爲 10mW、雜訊指數 2.6dB、1dB 壓縮點 -24dBm、功率增益 16.4dB 及非常好的輸出入阻抗。

關鍵詞：低雜訊放大器，螺旋電感，射頻

Bluetooth Receiver Design for a 2.4GHz CMOS Low-Noise Amplifier

SHEN-LI CHEN¹, HSUN-HSIANG CHEN², SING-SONG BAI³ and ZONG-HAO LEE³

¹Department of Electronic Engineering, National United University

1, Lien Da, Kung-Ching Li, Miao-Li, Taiwan

²Department of Electronics Engineering, National Changhua University of Education

1 Jin-De Rd., Changhua, Taiwan

³Department of Electrical Engineering, Da-Yeh University

112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan

ABSTRACT

In this study a 1.8V LNA (low-noise amplifier) is designed for an RF (radio frequency) system using the TSMC 0.18 μ m process. The operating frequency of the low-noise amplifier is located on the Blue Tooth (2.4GHz) frequency band. The LNA has a single-ended cascode structure with

on-chip spiral inductors to save the die area and integrate all devices into an IC. The simulation results emphasize input/output impedance matching, isolation, power gain, linearity, and power dissipation. From the tuning parameters of each device, the optimal value in this LNA circuit can be obtained. The results from the LNA simulation were: noise figure, 2.6dB; power gain, 16.4dB; power dissipation, 10 mW, 1-dB compression value -24 dBm.

Key Words: LNA (low-noise amplifier), spiral inductors, RF (radio frequency)

一、前言

無線通訊區域網路的發展漸漸的蓬勃，並且朝向訂定共同的通訊標準發展，已訂定的標準有 IEEE802.11 的無線區域網路 WLAN (wireless local area network) 及 Bluetooth 聯盟的無線個人網路 WPAN (wireless personal area networking) 為主要的通訊標準。以全球性短距離無線通訊 WPAN 為連線實際基準的藍芽 (bluetooth)，連線操作於在全球範圍公開的 2.4GHz ISM 頻段上，它使各種數位設備擺脫了傳統電纜的束縛，並且藍芽科技在全球通用。藍芽科技類似於低功率消耗的短程無線電連線，當配備藍芽的設備在藍芽操作距離範圍之內時，它們就可以建立起相互之間的連線。現今藍芽已成為上億部行動電話、桌上型電腦、筆記型電腦、數位照相機及許多其他電子設備的必備標準。而在 3C 科技產業的發展及競爭上，由於台灣在筆記型電腦、桌上型電腦、數位照相機、區域網路產品及通訊零組件多有非常高的市場佔有率，為了提高國家競爭力及產業的永續發展，於是開發各種適合整合性通訊網路的電子產品也是潮流趨勢。

二、研究動機

目前無線通訊網路及通訊系統發展快速，而高積體化的射頻電路也是當前研究的重點。低雜訊放大器 LNA (low-noise amplifier) 位於射頻接收端電路的最前級，即天線 (antenna) 之後，通常為整個接收端電路的第一級。本文 LNA 在高頻頻段的選擇上，採用了 2.4GHz 的藍芽頻段，來當作射頻前端低雜訊放大器的研究基準，藍芽頻段可以提供手機與其他電子設備相當良好的整合配合。

此射頻前端低雜訊放大器採用了互補式金屬氧化半導體 (complementary metal oxide semiconductor, CMOS) 製程，由兩種相互補的 N 型 MOS 與 P 型 MOS 所構成的另一種半導體元件。在無線通訊領域中，基頻數位訊號處理通常使用 CMOS 製程，高頻訊號處理通常使用砷化鎵 (GaAs)

製程，因為在通訊系統中，最麻煩的部份就屬射頻 (radio frequency, RF) 元件，因其規格要求相當嚴謹，必須使用特殊材料及製程，所以成本不易降低。GaAs 有較快的電子漂移速度 (drift velocity)，因為其電子遷移率 (mobility) 較矽元件高出很多，適合處理高頻信號。但在高頻設計中，低功率低電壓低成本一直是設計的重點，GaAs 製程價格較 CMOS 高出甚多，無線通訊產品價格居高不下，使用 GaAs 的 RF 元件常是禍首，若能改以泛用性的製程，亦即已普遍使用在個人電腦上的 CMOS，運用在 RF 上，便可達到成本低減的目的。

三、低雜訊放大器架構

在低雜訊放大器的電路架構選擇上，此 LNA 使用單端 (single ended)、串疊 (cascode) 型的低雜訊放大器結構，而串疊結構可以消去米勒效應 (Miller's effect)，所以較共源 (common source) 放大器能提供更高的增益，串疊結構還能夠比共源放大器提供更大的隔絕度 (isolation)，使訊號反射能夠被降低，再加上輸出端的電壓擺幅較小，輸出容易被截止等特性，所以電路採用串疊結構。但因為雜訊指數 (noise figure, NF) 受第一級元件的影響遠大於第二級的元件，所以一般來說串疊的雜訊指數較一般串疊的結構差，且因為增益加大的結果，會使線性度下降，所以線性度較一般的單級共源級放大器差，所以增益及線性度是我們在設計的時候必須取捨的重點，不過大體上串疊結構還是一個非常優良的的放大器結構 [2-4]。圖 1 為此低雜訊放大器的結構圖。

在電路架構圖中，源極電感 L_s 以及閘極電感 L_g 用來達到輸入阻抗匹配，而調整汲極電感 L_d 以及輸出電容 C_{out} 可以實現輸出阻抗匹配，一般來說輸出入阻抗匹配要實現 50Ω 上，另外輸入電容 C_{in} 可以用來阻隔輸入端的直流訊號。串疊結構加上輸出入阻抗匹配，便構成了此 LNA 的電路結構。

設計的首要考量是阻抗匹配，圖 2 為輸入端的部分電路，而輸入端的部分可視為一個電感性的共源放大器。

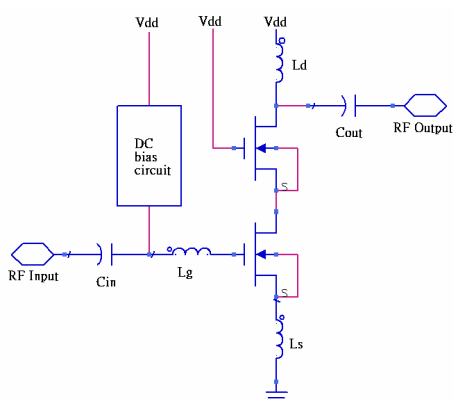


圖 1. 單端 LNA 結構

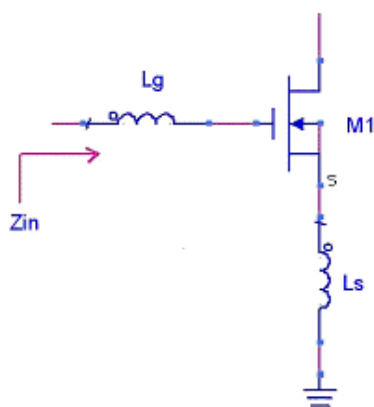


圖 2. 輸入端電路

而可以簡單的計算輸入組抗匹配，輸入電感可被計算出

$$Z_{in} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \left(\frac{g_{m1}}{C_{gs}}\right)L_s = \omega_T L_s \quad (1)$$

其中

$$s = j\omega_0 = j\sqrt{\frac{1}{(L_s + L_g)C_{gs}}} \quad (2)$$

電感 L_s 控制了輸入阻抗的匹配值，所以通常先調整 L_s 來達到實部的輸入阻抗為 50Ω 後，再調整 L_g 使得 Z_{in} 虛部為 0，如此即可調配出 L_s 、 L_g 來符合電路的輸入阻抗，其中輸入阻抗的匹配將由 L_s 來決定 [2]。

為了提升電路的整合性，本論文使用的台積電 TSMC $0.18\mu\text{m}$ 製程提供的螺旋式電感 (spiral inductors)。此螺旋

電感為內建式 (on-chip) 的電感，而非外接式 (off-chip)，因此可以節省面積，提高電路整合度，儘量達到全積體化的效果。圖 3 為 TSMC 提供的螺旋電感的示意圖。

在 CMOS 積體電路中，通常缺少品值優良的電感，而主動元件電路可以組成類似的功能，但其具有容易失真、雜訊較大及較高的功率消耗等缺點，不適合低雜訊放大器的使用。螺旋式電感的矩形四端直角部份會累積電荷，經過時變後會產生電磁波輻射，會造成螺旋式電感能量損耗及特質係數 Q 值降低，而圓形式螺旋電感雖然可以提供更高品質的 Q 值，但是在佈局設計上，標準製程難以完全掌握，設計難度較高，也不加以採用。

電容器在高頻所受到的效應沒有電感那樣多因素，但電容本身也有寄生電阻、寄生電感及寄生電容，只是這些因素雖比電感來說小很多，但也須要去考量。本文 LNA 使用的電容是 TSMC $0.18\mu\text{m}$ 製程所提供的 MIM (metal-insulator-metal) 電容，是屬於平行板電容 (plate capacitor) 的一種，如圖 4 所示。

MIM 電容是一個兩端元件 (two-terminal device)，兩端為導體中間夾著一高介電常數之絕緣材料 CTM 層的結構，MIM 電容的結構簡單，而且電容值也較固定，設計較易考量。

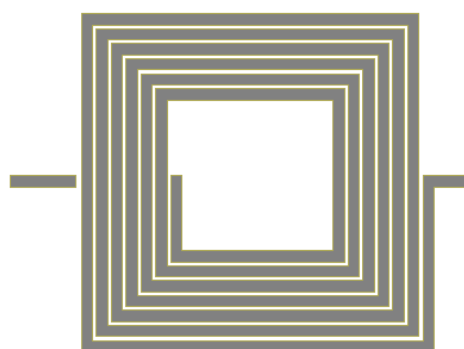


圖 3. 螺旋電感

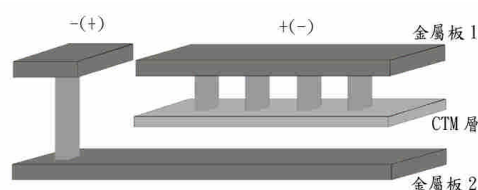


圖 4. MIM 電容

四、低雜訊放大器模擬

LNA 使用的是 ADS(advance design system) 模擬軟體，利用模擬出的參數來考量晶片的效能，其中軟體使用 TSMC (台積電) 提供的 ADS CMOS 0.18 μ m Design Kit 來作整體模擬，並使用 TSMC 的 CMOS 0.18 μ m 製程。而佈局(layout) 方面則採用的是 Cadence 的 Virtuoso。並根據 TSMC 0.18 μ m 的佈局規則，來設計我們的 LNA 的各個元件，並且盡量做到對稱。基本的佈局之後，便開始用 Cadance 佈局每一個元件，之後再將之整合起來做佈局和繞線，當然也是要符合對稱的原則。另外也要注意電壓源的 metal 寬度以及一些 design rule 相關注意事項。接著將佈局做驗證，驗證方面的軟體使用的是 Mentor 的 Calibre。將設計好的佈局檔利用 Calibre 來做設計法則檢查 (design rule check, DRC)，驗證無誤後，接著進行佈局對圖綱 (layout vs. schematic, LVS) 來完成整個電路驗證的工作，以便達成 TSMC 下線的標準。以下為低雜訊放大器 LNA 各項參數的模擬 [1]。

(一) S-參數模擬

本文低雜訊放大器採用電感衰減匹配電路來作輸入端匹配 (input reflection coefficient) 的模擬。在模擬時是以 S11 來作輸入端匹配的好壞，一般商業的匹配要求大約為 -10dB，此晶片的模擬在 2.4GHz 時，其值大約為 -16.637dB，可達成完美的匹配。圖 5 為 S11 模擬圖。以 S22 來作輸出端的阻抗匹配 (output reflection coefficient) 模擬，S22 值愈低表示阻抗匹配愈完美，此晶片的 S22 大約為 -17.365dB。圖 6 為 S22 模擬圖。

為了防止 LNA 之後的電路因為阻抗匹配不完全而造成訊號反射，反向隔絕度 (reverse isolation) 的模擬也是我們考量的重點之一，可以參考 S 參數的 S12，它代表訊號由第

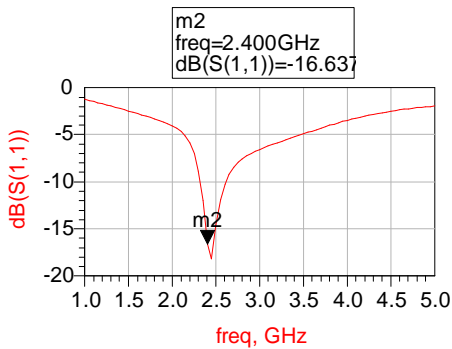


圖 5. S11 模擬

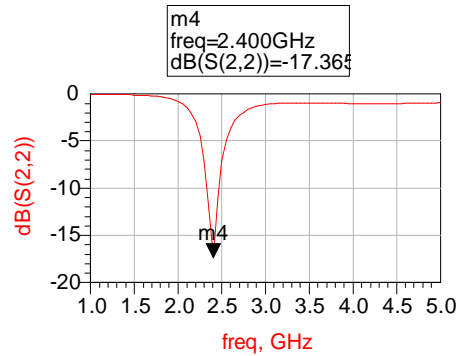


圖 6. S22 數模擬

二埠到達第一埠的能力，必須設法降低此參數的大小，晶片的值大約為 -27.236dB。而圖 7 為 S12 模擬圖。在低雜訊放大器中，功率增益 (power gain) 是我們非常注重的一個環節，而增益會影響雜訊指數的效能，可由 S21 得知電路的功率增益，由圖 8 模擬結果 S21 大約為 16.4dB。

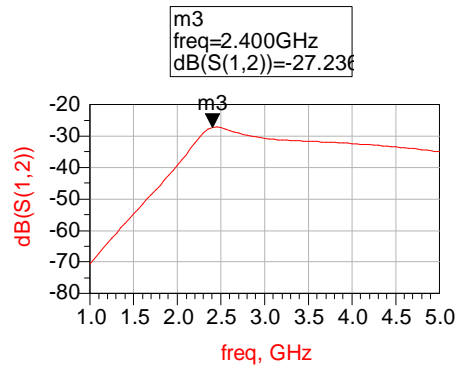


圖 7. S12 模擬

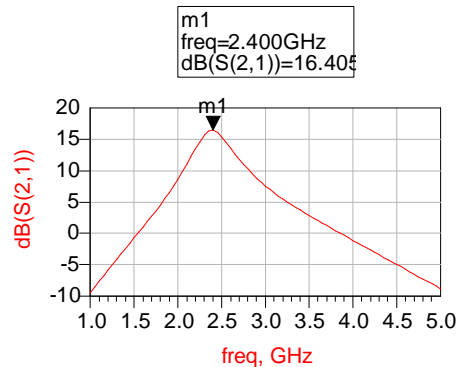


圖 8. S21 數模擬

(二) 雜訊指數模擬

雜訊指數 NF 攸關一個放大器性能的優劣，其定義為輸入端的訊號雜訊比 SNR_{in} 和輸出訊號雜訊比 SNR_{out} 的比值，表示訊號雜訊比 SNR (signal to noise ratio) 在經過電路後的降低程度，如下所示

$$F = \frac{SNR_{in}}{SNR_{out}} = \frac{\frac{S_i}{N_i}}{\frac{S_o}{N_o}} = \frac{S_i N_o}{S_o N_i} = \frac{N_o}{GN_i} \quad (3)$$

$$NF = 10 \log F = 10 \log \frac{SNR_{in}}{SNR_{out}} \quad (4)$$

其中

S_o =放大器輸出端的信號功率

S_i =放大器輸入端的信號功率

N_i =放大器輸入端的雜訊功率

N_o =放大器輸出端的雜訊功率

本低雜訊放大器雜訊指數模擬如圖 9，NF 大約為 2.6dB。

(三) 線性度模擬

在理想的電路中，輸出訊號大小與輸入訊號成線性關係，但在一般電路中含有電晶體等非線性主動元件，所以會有非線性效應，而在類比電路和射頻積體電路中，非線性效應更導致了訊號傳遞的失真。關於線性度的分析，可分為 1dB 壓縮點 (1dB-compression point) 及三階截止點 IP3 (third-order intercept point)。

1. 1dB 壓縮點

定義出一個 1dB 點，表示輸出對輸入被壓縮了 1dB。由圖 10 可以看出，當 1dB 點出現在橫軸的越後方表示系統的線性度越好。本論文所模擬出 1-dB 點在 -24 dBm 的位置。

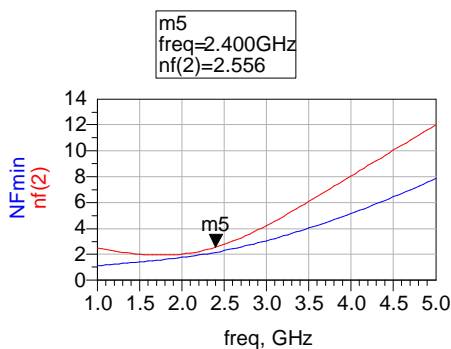


圖 9. 雜訊指數

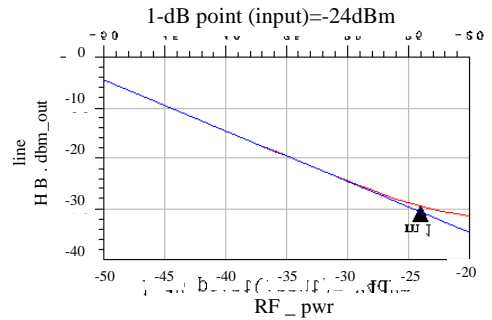


圖 10. 1dB 壓縮點

2. 三階截止點 IP3

只模擬 1dB-compression point 不足以代表非線性分析。還必須加上 IP3 的分析。如圖 11，可以發現 IP3 大約位於 -13.41dBm 的地方。

(四) 製程及環境變異的模擬

由於在實際操作時供應電壓有可能有些微偏差，因此將 1.8V 的工作電壓加上 10% 的變異，以模擬當量測時供應電壓的變異，如圖 12。由此可見對於電路影響並不是非常的大。

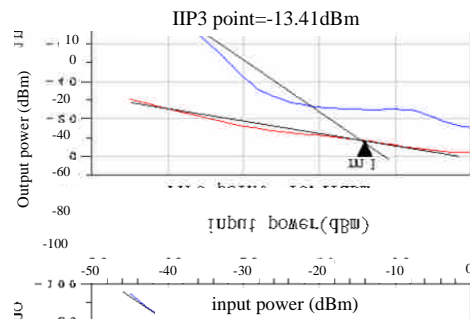


圖 11. IP3 模擬

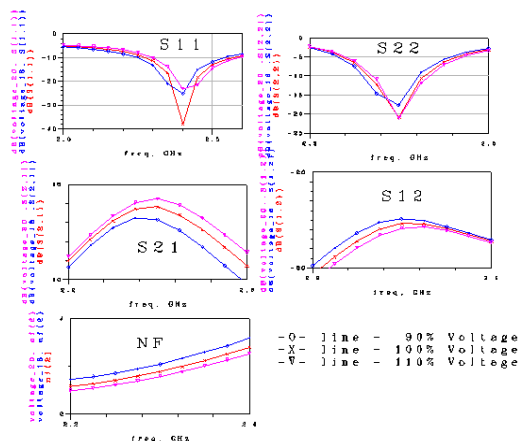


圖 12. 供應電壓變異對於電路的影響

還有工作溫度的考量，由於台積電 ADS RF Model 只能模擬幾的特定的元件 (MOS, 電阻...等)，所以本結果不是非常的準確，不過依舊具有參考價值，其中比較了攝氏 0 度與 50 度對電路的影響，如圖 13。LNA 元件工作溫度範圍，並不會超過 0~50°C 的範圍，所以在這個溫度變化範圍內，LNA 的效能只受些微的影響。

由於在實際製作晶片時，晶圓廠製作過程的變異對於電路的性能也會照成稍微的影響，所以必須做製程變異模擬 (corner model)，台積電 TSMC 提供的 ADS Design Kit 0.18μm model 之高頻的 RF corner 有 TT、FF 及 SS 三種型式，圖 14 為製程變異模擬。

(五) 穩定度

穩定度對電路來說也是相當重要的一環，本文利用 ADS 模擬低雜訊放大器的穩定度，包含負載端及來源端的

穩定度，而這兩種穩定度的值大於 1，表示這個電路穩定。圖 15 代表此低雜訊放大器 LNA 在 100MHz 的頻寬範圍內皆穩定。

五、佈局平面圖

圖 16 為本論文所設計的低雜訊放大器的佈局平面圖。元件佈局選擇上，電容使用 MIM 電容，電感使用螺旋電感，電阻使用 poly 電阻，PAD 方面則使用提供的 RF PAD 來佈局。

六、量測考量

因為在高頻系統中，接收端及發射端包含許多部分，例如 VCO 及 Mixer 等，所以以 System 連結為考量，採用 PCB 板的量測方法，將晶片用銀膠固定在 PCB 板，將晶片的輸出及 DC bias 和 Ground 四個埠打線 (bonding) 到 PCB

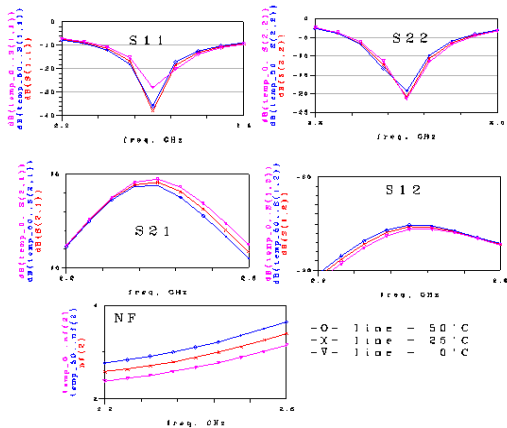


圖 13. 溫度變化對電路的影響

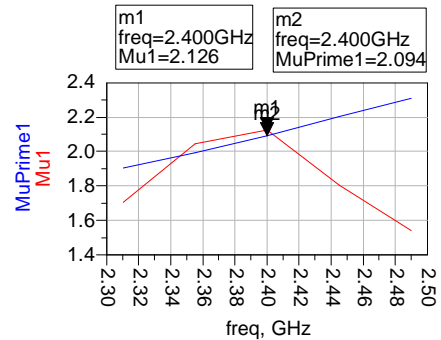


圖 15. 穩定度的模擬

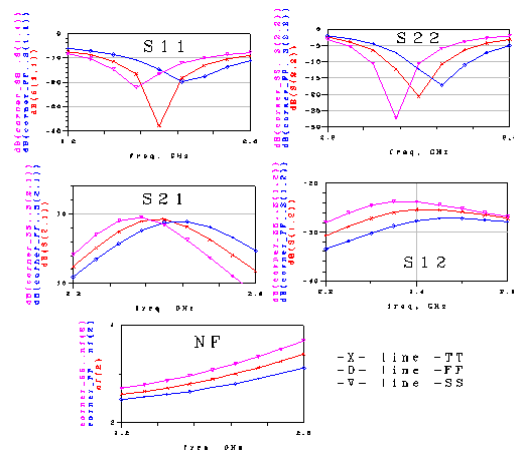


圖 14. Corner model 的模擬

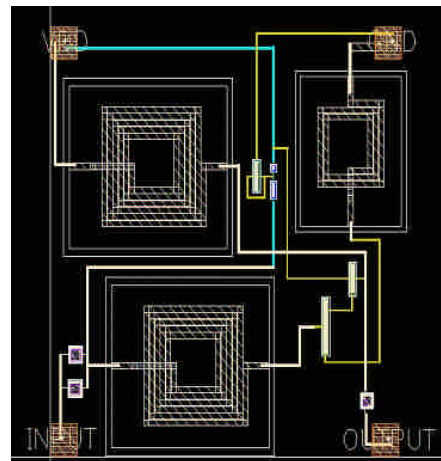


圖 16. 佈局平面圖

板上，並將 PCB 板上的輸出入端以 SMA 接頭焊接，並連接上網路分析儀，再將晶片加上偏壓 1.8V 作量測，其中在 PCB 板上設計一簡單電路，並且連接晶片的輸出入端位置，且用微帶線模擬軟體 IE3D 做元件 Size 模擬，ADS 做電路匹配及各項參數的模擬，再與網路分析儀初期的資料做比對，調整微帶線的設計，使得輸出入阻抗能正確的 match 到 50 歐姆，以便能將訊號正確的送入晶片，並且視訊號的干擾大小，適時的在輸入訊號端加入訊號衰減器，避免測試訊號過於強大，影響測試的精準度。由於網路分析儀能提供 S 參數的測量，將量測出的 S 參數與模擬的作比較，來分析晶片的整體效能。

七、結論

本文研究射頻前端積體電路的低雜訊放大器，適用於藍芽頻帶接收機的通訊系統，而文中的電路是採用了 TSMC CMOS 0.18 μm 製程參數載入 ADS 模擬軟體來模擬，LNA 晶片電源供應為 1.8V，環境操作溫度為 25°C，工作在 2.4GHz，表 1 為我們所設計的 LNA 各項效能。

表 1. LNA 效能

Process	0.18 μm
Supply Voltage	1.8 V
Frequency	2.4 GHz
NF	2.6 dB
Power gain	16.4 dB
Reverse Isolation	-27.236 dB
Power Dissipation	10 mW
1-dB (input)	-24 dBm
IP3	-13.41 dBm

參考文獻

1. 沙主榮 (民 93)，ADS Circuit Fundamentals Training Manual，CIC 訓練課程 (A508)。
2. 溫清華 (民 93)，RF CMOS IC Design Flow，CIC 訓練課程 (A505)。
3. Razavi, B. (2000) *RF Micro Electronics*, McGraw-Hill, New York, NY.
4. Razavi, B. (2000) *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, NY.

收件：94.02.21 修正：94.05.30 接受：94.06.28