

CMP 佈局平坦化的階層式密度分析方法

陳冠中¹ 嚴文宏¹ 林浩仁²

¹大葉大學資訊工程學系

51591 彰化縣大村鄉學府路 168 號

²靜宜大學資訊工程學系

43301 台中縣沙鹿鎮中棲路 200 號

摘要

化學機械研磨 (chemical-mechanical polishing, CMP) 技術是目前後端製程所必須的程序，為提高 CMP 程序後整體的平坦度，需在晶片佈局產生後加入虛擬金屬 (dummy fill) 填充。在安插虛擬金屬填充前，必須先對晶片佈局做密度分析，讓虛擬金屬有效的安插運用以防止虛擬金屬被安插在錯誤的地方。首先，本文提出階層式的方法來進行密度分析，作為計算各個方格 (tile) 需安插的虛擬金屬填充數量的依據。本文所提出階層式的密度分析方法，兼具執行效率與結果精確度的優點。以 ISCAS89 測試電路組的實驗數據顯示，本文提出的密度分析方法，在效率與精確度都明顯優於固定分割密度分析方法 (fixed-dissection density analysis)。

關鍵詞：晶片佈局密度分析，平坦化，CMP 平坦化技術

Hierarchical Layout Density Analysis for CMP Planarization

KUAN-CHUNG CHEN¹, WEN-HONG YAN¹ and HOW-RERN LIN²

¹*Department of Computer Science and Information Engineering, Da-Yeh University
No. 168, University Rd., Dacun, Changhua 51591, Taiwan, R.O.C.*

²*Department of Computer Science and Information Engineering, Providence University
200 Chung Chi Rd., Taichung 43301, Taiwan, R.O.C.*

ABSTRACT

Chemical-Mechanical Polishing (CMP) technology is an important procedure in the fabrication of chips to enhance the overall smoothness needed for increasing the yield. Insertion of dummy fill is an important issue for CMP planarization in the back-end synthesis flow of IC (integrated circuit) design. Layout density analysis is the basis for calculating the amount of dummy fill needed for CMP planarization. In this article, we propose a hierarchical approach to layout density analysis. The proposed method has the advantages of both efficiency and accuracy. The experimental results with the ISCAS89 benchmark show that the proposed method outperforms the Fixed-Dissection Density Analysis approach.

Key Words: layout density analysis, planarization, chemical-mechanical polishing

一、前言

隨著現今積體電路技術越來越先進，化學機械研磨 (chemical-mechanical polishing, CMP) 平坦化在後端製程中成爲必須的關鍵技術，以圖 1 爲例，如果金屬層密度分佈不均勻，依照 CMP 的特性在執行平坦化程序時，容易造成介電材料過度蝕刻 (erosion) 與金屬層凹陷 (dishing) 的現象 [3] 如圖 2，所以在完成平坦化程序後，會導致晶圓表面高度的不平整，同時改變電容與電阻值，造成時序的變化和良率的損失。

爲了防止此問題發生，在執行 CMP 程序前，會在積體電路佈局中加入虛擬金屬填充讓整體佈局可以得到較平均的金屬密度，以提升 CMP 平坦化的效果 [1, 5, 8]。然而在加入虛擬金屬之前，必須對積體電路佈局做進一步的密度分析，以確保虛擬金屬可以正確的安插在佈局密度較稀疏的位置上。

常見的密度分析方法有固定分割密度分析 (fix-dissection density analysis)、最佳極值密度分析 (optimal extremal-density window analysis) 及多層次密度分

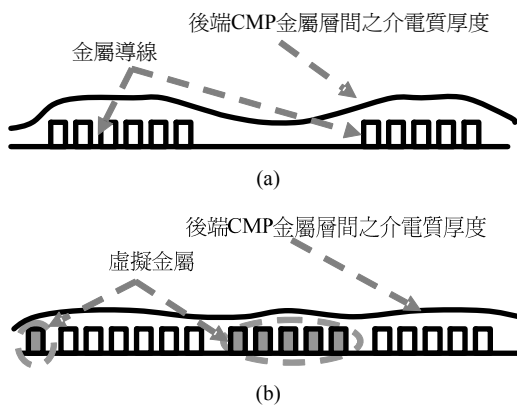


圖 1. 安插虛擬金屬前後的平坦化差異 [6]

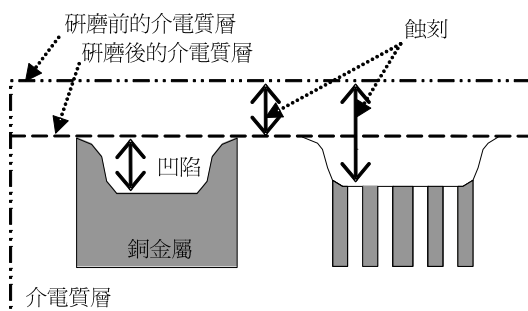


圖 2. 銅 CMP 的過度蝕刻與金屬層的凹陷 [3]

析 (multi-level density analysis)，較常運用及比較的方法爲固定分割密度分析。固定分割密度分析方法如圖 3，首先須分析金屬分佈密度，將整個佈局分割規劃，整個佈局電路會分割成多個小方格，然後計算每個方格中已被金屬導線使用的空間，得到方格裡的金屬使用面積後接著再分析虛擬金屬安插數量，圖中爲一正方形佈局，邊長爲 n ，移動框 (window) 邊長爲 w 的正方形，移動框裡有 16 個方格，運用線性規劃 (linear programming) 程式來計算移動框裡各個方格添加虛擬金屬的數量，移動框在計算虛擬金屬使用量時會以每一個方格爲移動距離，每移動一個方格就會用線性規劃方法計算移動框裡虛擬金屬添加數量，直到所有方格都計算虛擬金屬添加量爲止。

爲了知道整個金屬層精確的金屬密度分佈狀況，方格分割的大小需注意，如佈局分割的方格太大，執行密度分析時會得到一個粗略的密度分佈，而且添加虛擬金屬到金屬層時並不是平均加入的，所以這些因素會造成添加虛擬金屬時過於集中在一個區域，佈局分割的方格如果太小，運用線性規劃計算虛擬金屬填充數量的計算時間會急遽增加，使密度分析的效率降低，所以佈局分割數的多寡是需要適度的選擇。

二、文獻回顧

密度分析在後端製程中是一個重要的步驟，爲了正確的加入虛擬金屬，用以提昇整體佈局的平坦度。完成佈局分割計算後，接著則是執行虛擬金屬填充數量的計算，其目的是運用虛擬金屬來降低方格密度不均所造成的金屬層厚度偏差 (metal-layer thickness variation) 的問題，因爲金屬層厚

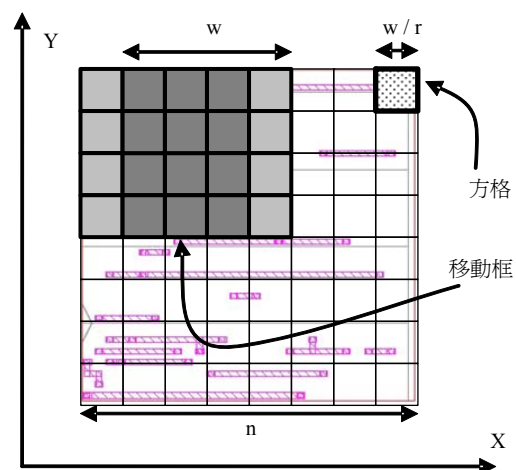


圖 3. 佈局固定分割圖

度的偏差會造成整體電路層厚度增加，易引起 CMP 平坦化程序所造成介電材料的過度蝕刻與金屬層的凹陷的問題，所以為了降低金屬層厚度的偏差，佈局平坦化為重要方法。

分析佈局金屬密度，最常運用線性規劃來分析，Kahng 等人 [4] 是最先運用線性規劃來分析佈局電路金屬密度，但是 Kahng 等人 [4] 的線性規劃模型只針對降低佈局中方格之間的密度差，讓佈局平坦最佳化，對虛擬金屬使用數量多寡並沒有加以限制。之後 Chen 等人 [1] 提出線性規劃模型須滿足佈局金屬分佈密度差最小化 (min-var) 及虛擬金屬使用量最少化 (min-fill) 這兩項要求，這時虛擬金屬的使用量才能有效的控制。Chen 等人 [1] 為了能依不同需求而達到不同平坦程度，以符合工業製造的需求，而不是極端的密度差最小化，改進 Tian 等人 [6] 所提出的 LP 模型，並加入目標密度 M ，實作時將會運用 Chen 等人 [1] 所提出的線性規劃模型來完成最後的密度分析。

Chen 等人 [2] 提出改善在固定分割上可能產生的誤差，並說明了漂浮移動框 (floating-window) 對有效 (effective) 及空間 (spatial) 密度的影響，之後提出一組線性規劃模型以提昇平坦度 (smoothness) 的目標。

Tian 等人 [7] 說明局部密度 (local pattern density) 對氧化層化學機械研磨 (oxide chemical mechanical polishing) 有很大的影響，所以需添加虛擬金屬至佈局中以降低局部密度的差異性，此外對於單層 (single) 與多層 (multiple) 虛擬金屬的添加提出一組線性規劃模型來計算虛添加數量。

Chen 等人 [1] 提的線性規劃模型中，不等式 (1)，對於任一個方格只能加入而不能刪除原先已有的金屬導線。不等式 (2)，各個方格所能填充的最大金屬面積。不等式 (3) 中 $\rho(T_{i,j})$ 為的有效密度。此線性規劃模型是以範圍變異 (range variation) 的方式來降低所有方格加入的虛擬金屬數量，但是並沒有考量降低金屬層厚度偏差，並且在工業製程上一個極端的最佳化並非是最需要的。之後 Chen 等人 [1] 提出了另一個線性規劃模型，改進了 Tian 等人 [6] 提出的線性規劃模型，以符合佈局金屬分佈密度差最小化及虛擬金屬使用量最少化這兩項要求，此線性規劃模型如下：

Minimize : ε
Subject to :

$$P_{i,j} \geq 0 \quad (1)$$

$$P_{i,j} \leq \text{slack}(T_{i,j}) \quad (2)$$

$$M - \frac{\varepsilon}{2} \leq \rho(T_{i,j}) \leq M + \frac{\varepsilon}{2} \quad i, j = 0, 1, \dots, \frac{nr}{w} - 1 \quad (3)$$

Chen 等人 [1] 和 Tian 等人 [6] 的差別在於 Tian 等人 [6] 的方格的密度限制在最大有效密度跟最小有效密度之間，限制方格加入的虛擬金屬數量，Chen 等人 [1] 中不等式 (3) 則訂一個目標密度 M ，使的方格密度可以隨著不同需求的目標密度而跟著改變。最佳化的目標也不同，Tian 等人 [6] 是以添加在方格的虛擬金屬數量最小化，Chen 等人 [1] 是加了變異預算 (variability budget) ε 最小化為目標函數來得到最佳化，所以 Chen 等人 [1] 不但同時考慮到佈局金屬分佈密度差最小化及虛擬金屬使用量最少化這兩項要求，還能依不同目標密度的需求而做修正，亦較符合工業製程上的需求。

三、研究方法

(一) 研究動機

密度分析時會運用線性規劃來計算所需的虛擬金屬填充數量，而計算移動框中虛擬金屬數量時，移動框每移動一次就須執行一次線性規劃計算，在移動框裡每一個方格都是一個參數，大量的參數會使整個計算過程消耗大量的時間，因此須改變計算虛擬金屬填充的方式，以降低分析時時間消耗的問題，而且未來電路只會越來越複雜，方格的數量也會隨著增加，使得密度分析所需的時間更加可觀。

為了維持計算虛擬填充金屬計算的精確度，而且要降低分析所需要的時間，所以必須改變虛擬金屬填充數量計算時虛擬金屬的分割方式，以降低時間消耗的問題。

(二) 階層式密度分析方法

階層式分割主要步驟為，初步方格分割、階層式分割，在第一層時，初步方格分割將佈局切成 8×8 分割，之後我們利用三種不同類型進行下一階層的 8×8 分割，利用這種方式來控制所需的計算時間，做為固定分割消耗大量時間的解決方案。避免在單一層的分析花費太多時間，所以階層式分割會由這一層切割到下一層，規律的切割方格來執行虛擬金屬填充數量的計算，每一種分割類型將會遞迴式的在各階層分割方格，直到最小分割停止點 $24 \mu\text{m}$ 為止 [1, 8]。

在規劃方格分割時，如將每一個方格再分割成 8×8 個方格，這樣雖然能最快達到切割的方格是建議的最小值，但是

每一個方格再計算時跟周圍的方格並沒關係，這樣會有局部性的限制，如將周圍的方格整合起來再執行 8×8 分割則會有將周圍融合平均的效果，可避免過度區域化的現象，但是需要更多階層來達到切割的方格是建議的最小值，也因局部性的限制所以我們才會由類型 1（圖 4）演變出類型 2（圖 5）及類型 3（圖 6）這兩種類型，本文分割方法在每個階層採用的方式都是 8×8，每個類型第一層的分割都是做初始 8×8 分割，所以稱為初始分割，往後的每個類型分割的方式會不一樣，所以稱為後續的第二階段，因分割規律不一樣所以考量三個類型，以這三種類型來做分析與比較。我們考量三種不同分割方案進行下一層密度分析，如圖 4-6 所示。

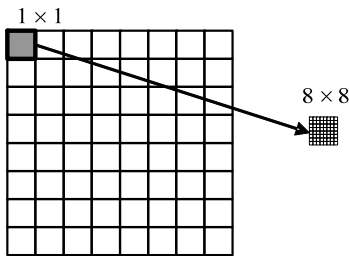


圖 4. 以 1 個方格分割成 8×8 個方格

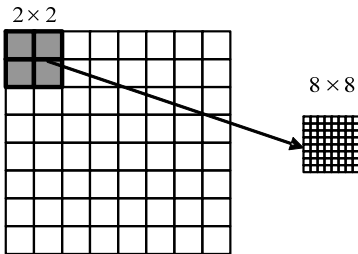


圖 5. 以 4 個方格分割成 8×8 個方格

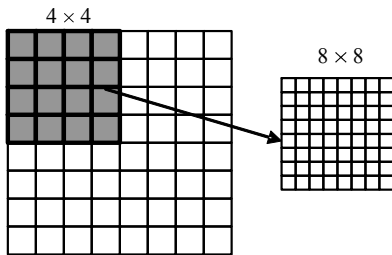


圖 6. 以 16 個方格分割成 8×8 個方格

（三）計算虛擬金屬數量

本文運用 Chen 等人 [1] 的線性規劃模型來計算所需填充的虛擬金屬數量，此線性規劃模型主要是能達到佈局金屬密度差最小化及虛擬金屬使用量最少化，不會只求得極端的平坦最佳化，Chen 等人 [1] 的線性規劃模型是一個非整數線性規劃模型，本研究所運用的整數線性規劃模型是將 Chen 等人 [1] 的線性規劃模型修改成 ILP，是為了避免在計算過程中使用到小數，增加計算過程中的時間消耗，也避免過多小數計算造成計算過程精確度下降。本研究會運用這個線性規劃模型的另一個重要因素是可訂定目標密度，調整目標密度會改變金屬層的平坦度及虛擬金屬填充數量，工業製程中能依不同的需求而自行選定目標密度，這樣能更有效的控制金屬層平坦的程度跟虛擬金屬的使用數量。

（四）階層式密度分析方法

圖 7 為階層式密度分析之流程圖，主要步驟分述如下。

1. 初始準備

在密度分析階段需完成幾個步驟，取得佈局檔中所需資訊後，需將整個佈局分割成方格（tiles），分割過程需計算

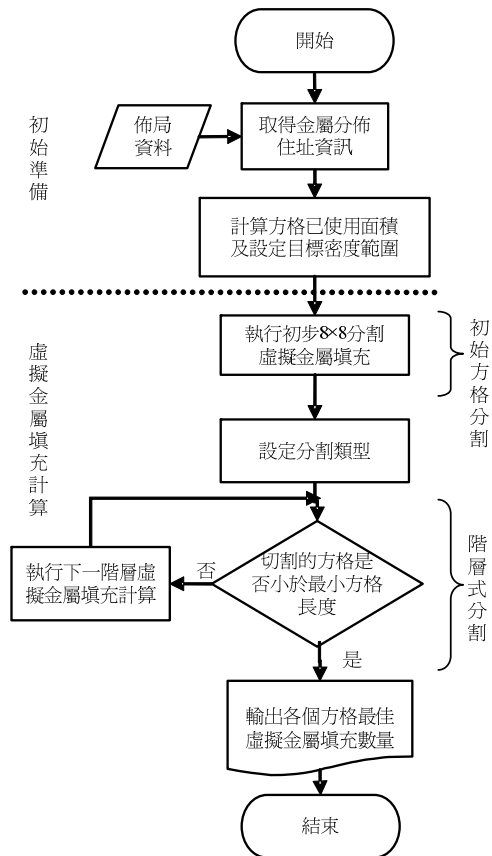


圖 7. 階層式密度分析流程圖

所有方格裡已有的金屬線路所使用的面積。方格分割會至最小尺吋的方格作為最小分割的方格。方格分割完後就可以由所有方格之間的密度差中取得目標密度 (target density) 的設定範圍。

2. 虛擬金屬填充計算

在這個部份會分成兩個階段來做說明，第一階段為初步方格分割，這個階段會將佈局 8×8 個方格，而後進行 8×8 分割的虛擬金屬填充計算。第二階段為階層式分割，這個階段會接續第一階段中方格的計算結果，接著執行下一次的分割，往後每一階層中方格的分割方式會依照圖 4、圖 5 以及圖 6 三種不同分割類型的分割方式分割，而三種不同的分割類型將會遞迴式的在各階層分割方格，直到最小分割停止點 $24\mu\text{m}$ 為止的最小尺吋。

四、實驗結果

(一) 實驗環境與測試電路

本論文以 C 語言及 GNU Linear Programming Kit (GLPK) 的 library，實現第三章所提出的方法及演算法。以 ISCAS'89 所提供的電路作為實驗中所需的測試電路，並以 TSMC 0.13um 製程裡的標準元件庫來實現電路。

電路要用於測試前，需先由電路合成軟體 (design compiler) 合成電路，並且在電路合成軟體過程中取得 cell 所需最小使用面積資訊，接著經由佈局軟體 (SOC encounter) 產生元件擺置與繞線圖，在使用佈局軟體的過程中，我們會限制佈局面積，提升佈局線路繞線密度，目的是要提升佈局金屬分佈密度，最後完成實驗前所需的測試的電路佈局檔 (*.def, *.lef)。實驗測試電路檔經由合成、佈局、擺置與繞線後的相關資訊；如表 1 所示。

(二) 密度分析之執行時間

表 2 中，Level 表示完成密度分析所需階層數，Tiles 表示各個類型在完成分析後的方格總數。固定切割方法的移動框分割數大小為 $64 (8 \times 8)$ 個方格。階層式分割方法在初步

表 2. 密度分析完成後方格切割總數及階層數

切割類型	S13207		S38417		S35932		S38584	
	Level	Tiles	Level	Tiles	Level	Tiles	Level	Tiles
固定切割	1	1024	1	1024	1	1024	1	4096
類型 1	1+2	1024	1+2	1024	1+2	1024	1+3	4096
類型 2	1+1	1024	1+1	1024	1+1	1024	1+1	1024
類型 3	1 $\bar{+}$	64	1 $\bar{+}$	64	1 $\bar{+}$	64	1+1	4096

分割時都是 8×8 分割，之後會依不同類型執行不同分割，在 level 欄中將初步分割和分割類型的階層數分開，1+1 是表示初步 8×8 分割階層再加上使用不同分割類型分割到最小方格時所需的階層數，而 level 欄中 1 $\bar{+}$ 表示未執行該分割類型，原因是所選類型再執行第一次分割時，方格大小已經小於最小分割大小，所以不執行分割。

階層式密度分析在執行方格分割時，需慎重選擇分割的類型，因不合適的分割類型，會造成分割方格時沒辦法達到最小分割大小。如電路 s38584 用類型 2 來切割方格，當該階層方格分割數達到 32×32 時，下一階層的分割會把每個 2×2 個方格再分割成 8×8 個方格，這時候方格分割數會增加到 128×128 ，但是電路 s38584 在方格總數為 64×64 時已達到最小分割，所以在執行分析前，對於分割類型的選擇，是否會造成無法逼近最小分割的方格，這問題必需注意到，因方格分割數對分析的精準度上會造成嚴重的影響。電路在分割前就先行計算各階層方格分割數的變化，並選擇最接近最小分割的分割類型實行方格分割，可以避免方格過大所導致精準度不佳的問題。

本文所提出的階層式分析方法，最主要的目的就是要降虛擬金屬填充過程中 ILP 所需的執行時間，在表 3 中列出測試電路在不同分割類型上所需的執行時間，表中將 cpu 執行時間分為準備時間及運算時間，運算時間為 ILP 運算所需的執行時間。

各個電路在 ILP 運算的執行時間上，階層式切割方法都明顯的少於固定分割法，S13207 在 ILP 運算時間在類型 1 及類型 2 比固定分割節省了 58.6% 和 56.4%，S38417 類型 1 及類型 2 的 ILP 運算時間同樣比固定分割節省了 60.2% 和 58%，S35932 運算時間在類型 1 及類型 2 比固定分割節省了 59.7% 和 59%，電路越大效果越明顯，以 S38584 階層式分割類型 1 及類型 2 可得知，ILP 的運算時間足足減少了 97.21% 及 96.88% 運算時間，這也說明了階層式密度分割方法在降低 ILP 運算時間非常的顯著。

表 1. 測試電路相關資訊

電路名稱	邏輯閘數量	佈局大小 (μm^2)	最小方格 (μm^2)
S13207	2573	207.61 \times 213.11	6.4875 \times 6.6595
S38417	8709	315.17 \times 307.62	9.849 \times 9.61300
S35932	12204	319.34 \times 332.80	9.979 \times 10.4000
S38584	11448	429.5 \times 391.690	6.7109 \times 6.1250

表 3. 各分割類型在密度分析過程所需 CPU 執行時間

切割類型	S13207		S38417		S35932		S38584	
	準備時間	運算時間	準備時間	運算時間	準備時間	運算時間	準備時間	運算時間
固定切割	3.078	2.078	10.796	2.234	12.578	2.25	55.547	114.859
類型 1	3.297	0.859	11.109	0.89	12.952	0.906	56.156	3.203
類型 2	3.14	0.906	11.016	0.938	13.047	0.921	56.485	0.97(*)
類型 3	0.719(*)	0.156(*)	2.328(*)	0.15(*)	2.686(*)	0.156(*)	55.859	3.577

(三) 虛擬金屬使用數量之結果

在本文所運用的線性規劃模型 [1] 可依平坦程度的不同來訂定目標密度 (M)。參數 D_{max} 為佈局中密度最大的方格, D_{min} 為密度最小的方格, 在 $D_{max} \sim D_{min}$ 之間為目標密度設定的範圍, 在這設定範圍裡可以分為三個區間, 第一個是靠近 D_{min} 的區間, 第二個是靠近 D_{max} 的區間, 兩個區間之間為第三個區間, 在第一個區間所設的目標密度會造成虛擬金屬添加的數量幾乎為零, 第二個區間所設的目標密度會讓佈局最平坦但是會將整個佈局填滿虛擬金屬, 所以本文目標密度將設在第三區間內並探討這範圍的目標密度對計算出來的值的影響。

方程式 (4) 中 i 表示三十等分的目標密度, 本文在設定 [1] 裡的目標密度時將方格的最高與最低金屬密度差分成 30 等分。方程式 (5) 中以最小方格密度加上目標密度差 ΔD_i 來設定目標密度 M, 目的是要觀察在不同目標密度下虛擬金屬在使用數量上的變化。 ΔD_i 在設定時, 分段如果太少則不易看出不同目標密度下虛擬金屬使用數量的變化, 訂定的目標密度分段如果太多則需消耗更多的運算時間, 而呈現出來的結果並不會有明顯的差異, 所以將目標密度分成 30 等分來觀察其結果。

$$\Delta D_i = (D_{max} - D_{min}) \times \frac{i}{30} \quad \forall i = 1, \dots, 30 \quad (4)$$

$$M = D_{min} + \Delta D_i \quad \forall i = 1, \dots, 30 \quad (5)$$

本文所提出的方法, 有效的降低 ILP 運算時間, 在運算後所得到的數據可由表 4 觀察, 表 4 的 s13207 電路在階層式分割方法及固定分割方法的目標密度 ΔD_i 都設為 0.267246, 固定分割方法和類型 2 的密度差幾乎一樣, 在虛擬金屬的使用量也近乎相同, 但是在類型 1 的密度差變大, 虛擬金屬數量減少, S38417、S35932、S38584 在階層式分析類型 2 所得到的方格密度差及虛擬金屬的使用數量也都接近相同, S38584 的類型 3 幾乎和固定分割方法相同, 所以階層式密度分析在精確度上和固定分割方法接近相同, 但是在階層數越多時, 會造成階層式分析精確度誤差加大, 所以在選擇不同類型進行階層式分割時是需要考慮的因素。

分析完表 4 後可以了解到, 階層式分析在時間效率優於固定分割方法, 精確度也相當接近, 這也證明了階層式密度分析明顯的優於固定分割方法。固定分割方法因為效率不佳, 使得不能在分析時都以最小分割方格來執行密度分析, 而階層式分割方法在和固定分割有相同方格大小時精確度就接近相同, 加上執行速度較快, 使得階層式分割方法能執行更小分割下的密度分析, 精確度也會更加的準確。在同一電路環境下, 三種不同類型的階層式密度分析以較少階層達到最小分割的類型最接近非階層式分析的數據, 由 s38584 的數據可知, 階層式分析的密度差及虛擬金屬的總使用數量以類型 3 和固定分割方法最相近, 在階層式分析中階層數較多時, 會有精確度下降的問題, 在階層的使用上需要有效的控制, 避免過大誤差, 以致精確度下降。

表 4. 密度分析後所得到的方格密度差及虛擬金屬使用量

分割類型	S13207			S38417			S35932			S38584		
	M	Var.	Amount	M	Var.	Amount	M	Var.	Amount	M	Var.	Amount
固定切割	.267246	.23384	2873220000	.16764	.149674	5202730000	.210724	.184383	11519600000	.241349	.184561	35118200000
類型 1	.267246	.233784	2873219756	.16764	.149673	5202728071	.210724	.184383	11519594413	.241349	.184559	35117926000
類型 2	.267246	.23384	2873220000	.16764	.149674	5202729100	.210724	.184383	11519599780	.241349	.217709(*)	28707412044(*)
類型 3	.267246	.24947(*)	2464373454(*)	.16764	.154133(*)	5073234491(*)	.210724	.192637(*)	9226562940(*)	.241349	.184561	35118199100

圖 8 為佈局電路中各個目標密度的虛擬金屬增加量，由編號相鄰的目標密度計算後的虛擬金屬數量差，X 軸為目標密度編號，Y 軸為虛擬金屬數量。圖 8 中可看出虛擬金屬安插量呈上升曲線，當目標密度越大時，虛擬金屬數量快數增加，雖然各個電路增加的虛擬金屬數量都呈上升曲線，但在曲線前半段較平緩呈現出較平緩的線段，後半段曲線則急速上升，很明顯的，在後半段虛擬金屬使用量大增。在訂定目標密度時可以平緩區段作為密度分析的目標密度設定，對於急速增加區段，要達到設定的平坦度所要在付出的虛擬金屬數量相對的要高出許多，所以必須盡量避免使用。

五、結論

本文提出的階層式電路分割方法，在虛擬金屬填充數量計算過程中以階層的方式一層層不斷提升虛擬金屬填充數量計算的精確度，分析密度的效率也遠遠優於 Kahng 等人 [4] 所提出的固定分割方法，不僅有效的降低密度分析的分析時間，提升分析的準確度，亦減少系統資源的消耗。

另外，我們更進一步去考量在工業製程上對佈局平坦的不同要求而提共不同的金屬層平坦度選擇，使虛擬金屬數量能更加的靈活控制，如此讓整個密度分析能更加的完善。

參考文獻

1. Chen, Y., A. B. Kahng, G. Robins and A. Zelikovsky (2002) Area fill synthesis for uniform layout density. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 21(10), 1132-1147.
2. Chen, Y., A. B. Kahng, G. Robins and A. Zelikovsky (2002) Closing the smoothness and uniformity gap in area fill synthesis. *Proceedings of the 2002 International Symposium on Physical Design*, San Diego, CA.
3. He, L., A. B. Kahng, K. Tam and J. Xiong (2005) Simultaneous buffer insertion and wire sizing considering systematic CMP variation and random left variation. *Proceedings of the 2005 International Symposium on Physical Design*, San Francisco, CA.
4. Kahng, A. B., G. Robins, A. Singh and A. Zelikovsky (1999) Filling algorithms and analyses for layout density control. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 18(4), 445-462.
5. Kahng, A. B. and K. Samadi (2008) CMP fill synthesis: A survey of recent studies. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 27(1), 3-18.
6. Tian, R., D. F. Wong and R. Boone (2000) Model-based dummy feature placement for oxide chemical-mechanical polishing manufacturability. *Proceedings of the 37th Annual Design Automation Conference*, Los Angeles, CA.
7. Tian, R., D. F. Wong and R. Boone (2001) Model-based dummy feature placement for oxide chemical-mechanical polishing manufacturability. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 20(7), 902-910.
8. Xiang, H., K. Y. Chao, R. Puri and M. D. F. Wong (2007) Is your layout density verification exact? - A fast exact algorithm for density calculation. *IEEE Transactions on*

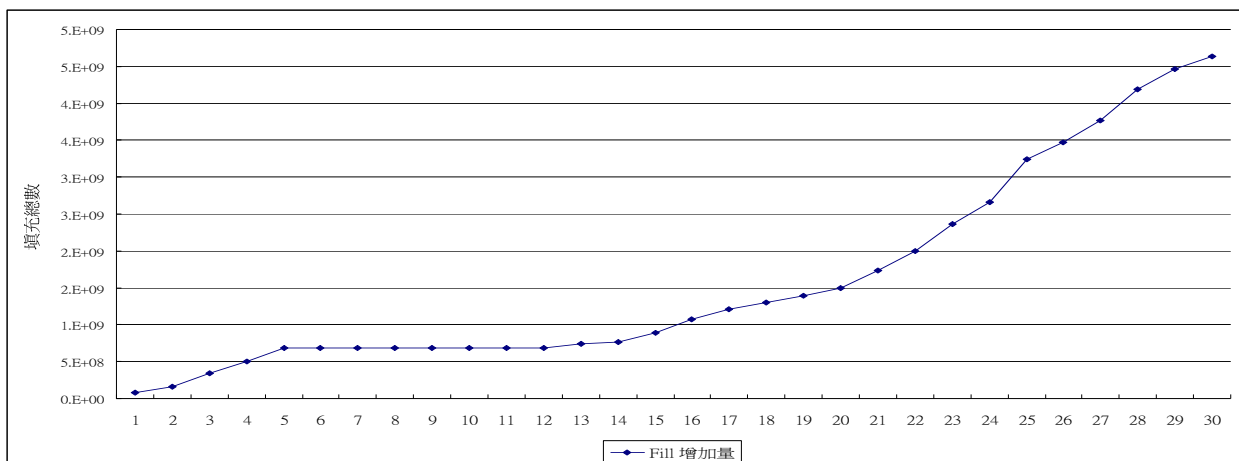


圖 8. S38584 虛擬金屬增加量

*Computer-Aided Design of Integrated Circuits and
Systems*, 27(4), 621-632.

收件：98.01.10 修正：98.02.25 接受：98.11.25