

高增益及寬頻轉導運算放大器之設計

李元彪 陳德修 林根右 林文彬

建國科技大學電機工程系暨研究所

500 彰化市介壽北路 1 號

摘 要

運算放大器發展至今已有相當歷史，高增益、高穩定度運算放大器，可運用在計算機等，用途相當廣泛。本晶片設計使用國家晶片中心所提供之 0.35 微米製程。運用疊接差動對搭配疊接電流源，達到高增益之目標。本晶片經模擬其電壓增益可達 60.9 dB、頻寬高達 289M Hz、而相位邊限可達到 70°、和功率消耗僅為 432.0 μ W，因此本設計是為一高增益高穩定度運算放大器。

關鍵詞：運算放大器，高增益，高穩定，疊接差動對，疊接電流源

The Design of a High-Gain and Wide Bandwidth Operational Transconductance Amplifier

YUAN-PIAO LEE, TE-HSIU CHEN, KEN-YU LIN and WEN-PIN LIN

Department of Electrical Engineering, Chienkuo Technology University

No.1, Chieh Shou N. Rd., Changhua 500, Taiwan, R.O.C.

ABSTRACT

The development of the operation amplifier has a long history. This device can be applied to computers because of its high-gain and high-stability properties as well as its wide use in many applications. In this research a chip was designed and fabricated by 0.35 micron processes in which the high-gain purpose is achieved by using a cascade differential pair and a cascade current mirror. In a simulation to evaluate the designed chip, the gain reached 60.9 dB; the bandwidth, 289 MHz; the phase margin, 70°; and the power consumption, only 432.0 μ W. Therefore, the designed operation amplifier can appropriately be called a high-gain and high-stability chip.

Key Words: operation amplifier, high-gain, high-stable, cascade differential pair, cascade current mirror

一、前言

電子零件市場始終對高性能運算放大器需求極大 [6]。低功耗、高速、高精度、高穩定度是運算放大器的幾個關鍵參數。視運算放大器用途某些參數會被特別重視，運算放大器需進行改進去滿足各種需求 [2, 5, 7]。運算放大器為許多類比和混合信號系統中不可或缺的部份，在做量測、控制、儀表或感測元件應用電路時，必須使用精密的放大電路。因此，本設計主要是提高運放放大器的增益和系統穩定度。運用固定電流增益串接一提高阻抗組態，以提升電路的電壓增益值。並考量電路之寄生電容對系統穩定度的影響，於輸出端加入一負載電容 [1, 3]。

本晶片使用為國家晶片中心 (National Chip Implementation Center, 簡稱 CIC) 所提供台灣積體電路公司 (Taiwan Semiconductor Manufacturer Co., TSMC) 之標準 0.35 μm 製程，即兩層多晶硅四層金屬層 (2P4M: 2-Polysilicon 4-Metal)。基礎於一單級運算放大器加以改進，並利用疊接電流源 (cascode current mirror) 及疊接差動對 (cascode differential pair)，因此增益提高。運算放大器電壓增益可達 60.9 dB、頻寬高達 289 MHz、而相位邊限可達到 70°、和功率消耗僅為 432.0 μW 。

本文內容共有六節，第一節為簡介，第二節單級運算放大器：介紹其電路及疊接組態之運用，第三節增益提高：為此電路之運用及介紹，第四節模擬結果：是為探討電路之模擬結果與比較，以及結論。

二、基本單級轉導運算放大器

如同大部份設計，圖 1 為基本單級轉導運算放大器 (single-stage operational transconductance amplifier)。圖 1 左半邊為電流鏡，提供運算放大器應有之電流源，由 M5、M6、M7、M8、M9、M10、M11 及 R1 所組成。圖 1 右半邊為差動放大器，提供運算放大器電壓增益，由 M1、M2、M3、M4 所組成，其中 M1、M2 為差動對將電壓訊號轉為電流訊號，而 M3、M4 為電阻，將差動對所產生之電流訊號轉換為電壓訊號。在本設計中可藉由調整 gm 及 C1 可以決定單增益頻寬和相位邊限，此電路主要缺點為直流增益低，藉由計算其直流增益僅為 $g_{m1} * (r_{ds2} || r_{ds4})$ 。可運用疊接組態 (cascode stage) 及增益提高 (gain-boosting) 之組態，彌補直流增益低的問題 [4]。

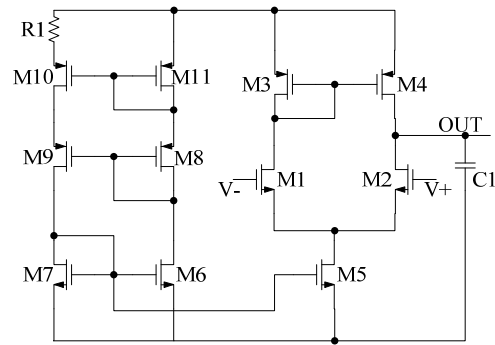


圖 1. 基本單級運算放大器

三、單級轉導運算放大器疊接組態

疊接組態如圖 2 所示，主要特性為提阻抗，將 M3, M4 電阻組改進為 M3, M4, M12, M13。在相同電流增益下，提高阻抗有效提升電壓增益，但必須付出電壓頭部空間的代價。如圖 1 電路中做為負載電阻之 M3, M4，改為 PMOS 疊接電阻，其直流增益可提升為 $g_{m1} * [((g_{mb13}g_{m13})r_{o4}) || r_{o2}]$ 。

如圖 2 所示之 PMOS (p-type metal-oxide-semiconductor field-effect transistor) 負載可改進為，如圖 3 PMOS 負載加一組 NMOS (n-type metal-oxide-semiconductor field-effect transistor) 共閘極 (common-gate, CG) 疊接組態。即再加上 M1, M2 負載於差動對上，其電壓增益可達 $g_{m1} * [((g_{mb13}g_{m13})r_{o4}) || ((g_{m15}r_{o15})r_{o2})]$ 。但必需注意，運用多疊接的方式以提高阻抗值，雖隨著堆疊越多阻抗便越高，增益也更高。但同時需要更多的頭部電壓，局限輸出電壓之範圍，因此藉由疊接組態改進增益仍有其限度。

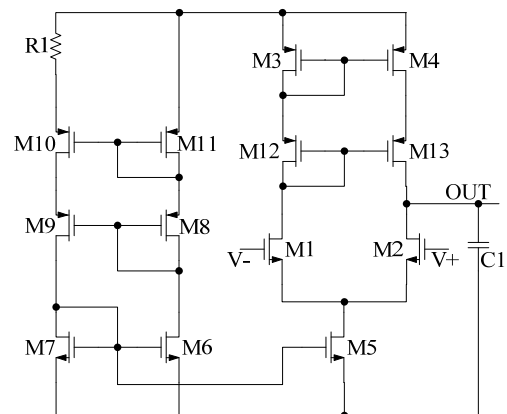


圖 2. PMOS 負載疊接組態之單級運算放大器

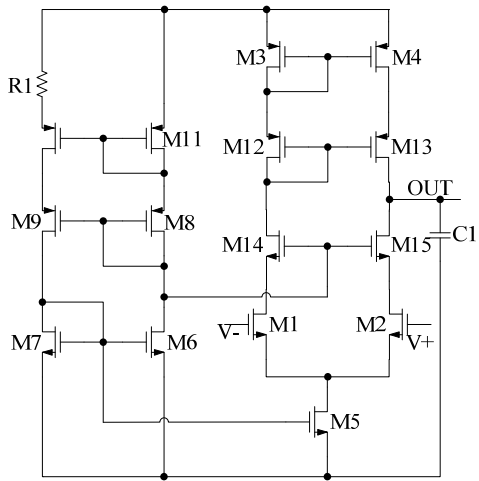


圖 3. PMOS 負載加共閘極 NMOS 疊接放大器

四、增益提高組態

圖 4(a) 為簡單疊接組態，其中輸出阻抗為 $R_{out} = g_{m2}r_{o2}r_{o1}$ 。對 R_{out} 而言，電晶體 M1 像退化電阻一般運作，量測輸出電流並轉換為電壓。觀察 r_{o1} 所產生和輸出電流成比例之小信號電壓，然後減上 V_b ，把 M2 置於電流-電壓回授電路中，因而增加輸出阻抗。圖 4(b) 所示，此概念利用放大器迫使 V_x 等於 V_b 以驅動 M2 的閘極。因此，M2 汲極的電壓變化對 V_x 影響將會減少到最小，因為增益提高元件限制了此電壓。在節點 X 的小變化使流過 r_{o1} 之電流和輸出電流比更維持固定，且產生一較高輸出阻抗， $R_{out} = A_1 g_{m2} r_{o2} r_{o1}$ 。對小信號來說， V_b 等於零，電路可以減化為圖 4(c)。被稱為限制疊接組態，整個組態如圖 4(d) 所示，其增益為 $|A_v| \approx g_{m1} (g_{m2} r_{o2} r_{o1}) (g_{m3} r_{o3})$ ，與三次疊接組態相似。若進一步將增益提高電路加至差動疊接組態，可如圖 5 所示，於差動電路間加入一增益提高組態。

基於以上所有經驗本研究設計出如圖 6 之運算放大器，本運算放大器以基本運算放大器為基礎，結合 PMOS 負載加共閘極 NMOS 疊接，以及增益提高組態。圖中 M5、M6、M7、M8、M9、M10、M11 及 M20 為電流鏡供應差動對直流電流源。M1、M2 為差動對，以及 M3、M4、M12、M13 為疊接阻抗，而 M14、M15、M16、M17、M18、M19 為增益提高之電路。本設計中主要由 M1、M2 差動對所組成，將 $V+$ 及 $V-$ 之電壓訊號轉變為電流訊號，以及 M3、M4、M12、M13 電阻對將電流訊號轉變為電壓訊號。M14、M15、M16、M17 主要是提高電阻值之電路，而 M18、M19

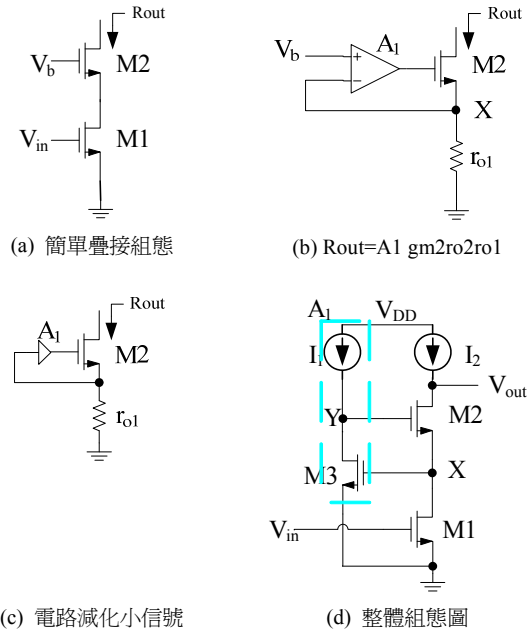


圖 4. 使用回授電路增加輸出阻抗 [4]

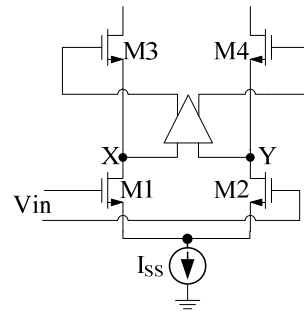


圖 5. 使用增益提高組態應用於差動放大器 [4]

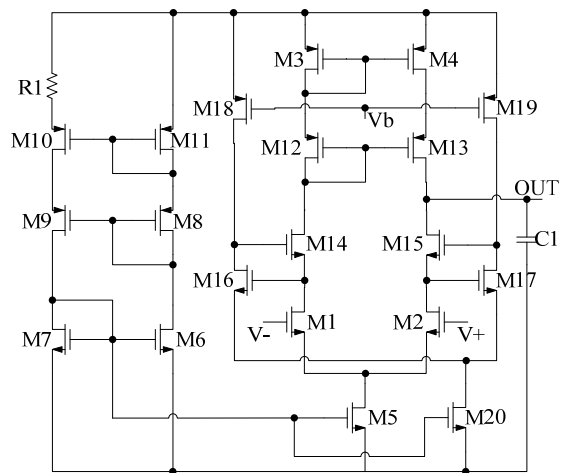


圖 6. 本文所提傳統運算放大器添加疊接組態和提增益提高

及 M20 為其提供之電流源。Vb 為額外提供 M18 和 M19 之偏壓。

五、模擬結果與比較

如圖 7 所示之曲線為晶片 Pre-sim 之結果：Case1：基本運算放大器；Case2：PMOS 負載疊接組態運算放大器；Case3：PMOS 負載加共閘 NMOS 疊接放大器；Case4（本研究）：本文所提出的綜合以上優點之設計。圖 7 上為電路之電壓增益，圖 7 下為相位邊限。

表 1 整理出圖 7 之波形數值及 HSPICE 模擬結果。首先可觀查到在工作電壓 5 V 狀況下 Case1 之基本運算放大器其電壓增益僅為 25.2 dB，而 Case2：PMOS 負載疊接組態運算放大器其電壓增益可提升為 33.4 dB，並且於 Case3 PMOS 負載加共閘 NMOS 疊接放大器中其電壓增益更可提升為 57.6 dB，最後 Case4 本論文所提出之運算放大器其電壓增益可提升為 60.3 dB。相較於 Case1 之基本運算放大器，本

研究在電壓增益上提升 35.1 dB，約提升了 139.5%。

在頻寬方面，在相同條件下 Case1 之基本運算放大器其頻寬僅為 464.9 MHz，而 Case2：PMOS 負載疊接組態運算放大器其頻寬可提升為 352.6 MHz，並且於 Case3 PMOS 負載加共閘 NMOS 疊接放大器中其頻寬為 343.6 MHz，最後 Case4 本論文所提出之運算放大器其頻寬為 351.2 MHz。

至於其它參數如相位邊限及功率消耗，均在同等級範圍內。

經由圖 8 之電路佈局，圖 9 顯示加計佈局及製程寄生電容、寄生電阻等參數之 Post-sim 之結果，如同 Pre-sim 本研究之設計均比傳統方式增加甚多良好性能。圖 9 上為電路之電壓增益，圖 9 下為相位邊限。Case1：基本運算放大器；Case2：PMOS 負載疊接組態運算放大器；Case3 PMOS 負載加共閘 NMOS 疊接放大器；Case4（本研究）：本文所提出的綜合以上優點之設計。

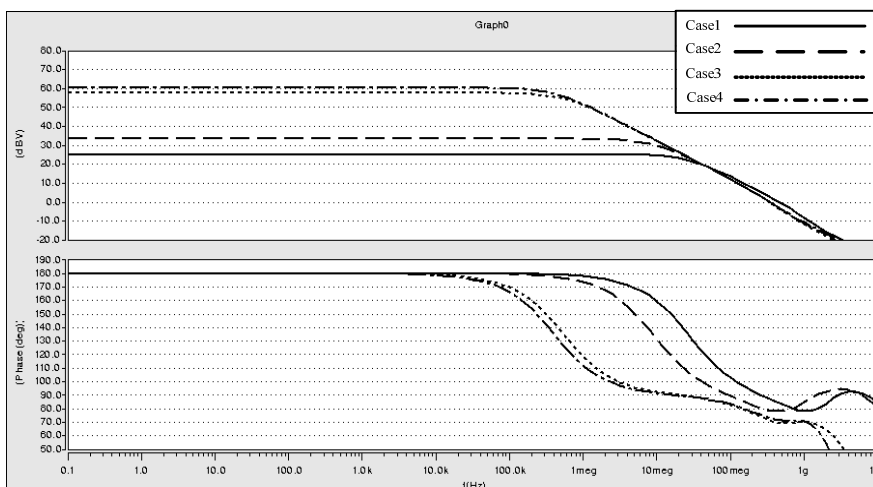


圖 7. 電路之 Pre-sim 模擬結果

表 1. Pre-sim 模擬結果數值整合

	Case1	Case2	Case3	Case 4
	基本運算放大器	PMOS 負載疊接組態運算放大器	PMOS 負載加共閘 NMOS 疊接放大器	本研究
Power Supply (V)	5			
Voltage Gain (dB)	25.2	33.4	57.6	60.3
Bandwidth (MHz)	464.9	352.6	434.6	351.2
Phase Margin (°)	84	78	71	73
Power dissipation (μW)	467.2	386.7	383.9	496.0

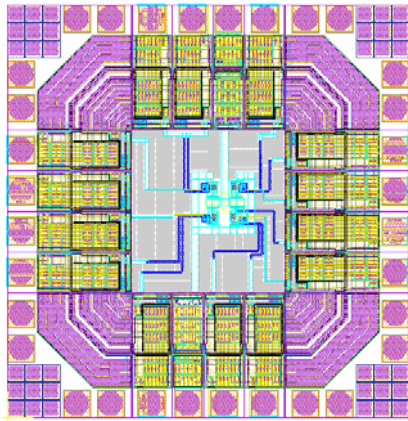


圖 8. 電路佈局

表 2 整理出波形數值及 HSPICE 模擬結果。首先可觀查到在工作電壓 5 V 狀況下 Case1 之基本運算放大器其電壓增益僅為 25.5 dB，而 Case2：PMOS 負載疊接組態運算放大器其電壓增益可提升為 33.5 dB，並且於 Case3 PMOS 負載加

共閘 NMOS 疊接放大器中其電壓增益更可提升為 57.8 dB，最後 Case4 本論文所提出之運算放大器其電壓增益可提升為 60.9 dB。相較於 Case1 之基本運算放大器，本研究在電壓增益上提升 35.4 dB，約提升了 140%。其結果與 Pre-sim 的結果相同。

在 Post-Sim 於頻寬方面在相同條件下 Case1 之基本運算放大器其頻寬為 366 MHz，而 Case2：PMOS 負載疊接組態運算放大器其頻寬可提升為 279 MHz，並且於 Case3 PMOS 負載加共閘 NMOS 疊接放大器中其頻寬為 270 MHz，最後 Case4 本論文所提出之運算放大器其頻寬為 289 MHz。因加入考量佈局及製程寄生電容、寄生電阻等參數，以致頻寬均比 Pre-sim 為低。至於其它參數如相位邊限及功率消耗，均在同等級範圍內。

六、結論

圖 9 為本論文所提及之四種電路總合在一起之佈局

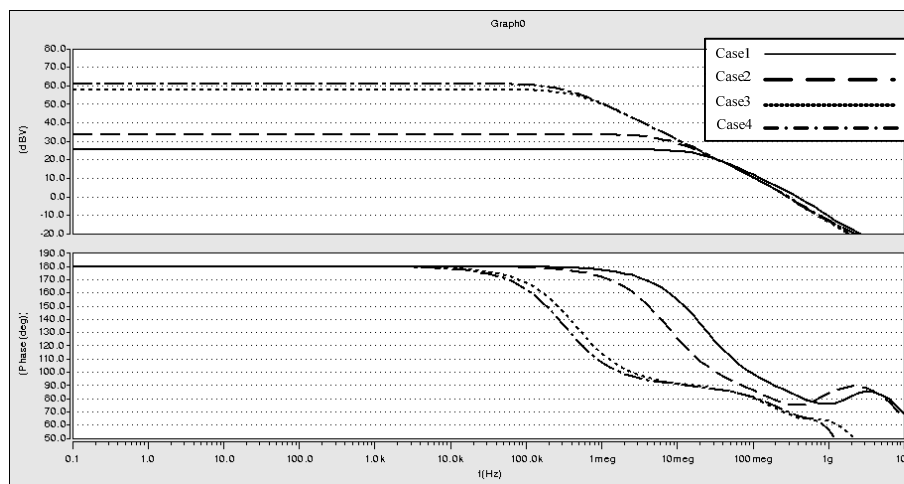


圖 9. 電路之 post-sim 模擬結果

表 2. Post-sim 模擬結果數值整合

	Case1	Case2	Case3	Case4
	基本運算放大器	PMOS 負載疊接組態運算放大器	PMOS 負載加共閘 NMOS 疊接放大器	本研究
Power Supply (V)	5V			
Voltage Gain (dB)	25.5	33.5	57.8	60.9
Bandwidth (MHz)	366	279	280	289
Phase Margin (°)	83	76	69	70
Power dissipation (μW)	444	366.6	364.2	432.0

圖，總面積為 $1181 \mu\text{m} * 1207 \mu\text{m}$ 。本論文所提出之運算放大器其電壓增益可提升為 60.9 dB。相較於基本運算放大器其電壓增益僅為 25.5 dB，本研究在電壓增益上提升 35.4 dB，約提升了 140%。在頻寬方面，本論文所設計之運算放大器其頻寬為 289 MHz。至於其它參數如相位邊限 70 度及功率消耗 432.0 μW ，均在理想範圍內，可算是非常穩定之設計。當然，仍有努力的空間，待進一步之研究與改進。

誌謝

感謝國家晶片中心（CIC）免費提供研究上所需的模擬軟體以及元件參數等資源。以及，建國科技大學電機工程系 IC 設計及模擬實驗室，提供所需之電腦設備及技術指導。

參考文獻

1. Anthony, S. (2006) Fast settling gain boosted folded cascode amplifiers. *Conference on Irish Signals and Systems*, 335-338. Dublin Institute of Technology, Dublin, Ireland.
2. Emadi, M., B. Foruzandeh, F. Farbiz and E. Fathi (2004) Gain boosted amplifier design for low power-high speed applications. IEEE Northeast Workshop on Circuits and Systems, IEEE, Montreal, Canada.
3. Minaei, S. and O. Cicekoglu (2002) Current-mode multifunction filter using opamp compensation poles. *Conference on Electronics Circuits and Systems*, IEEE, Durovnik, Croatia.
4. Razavi, B. (2001) *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, NY.
5. Senani, R. (1993) Simple sinusoidal oscillator using opamp compensation poles. *Electronics Letters*, 29(3), 452-453.
6. Zabihian, S. A. and R. Lotfi (2007) Ultra-low-voltage, low-power, high-speed operational amplifiers using body-driven gain-boosting technique. *IEEE International Symposium in Circuits and Systems*, IEEE, New Orleans, LA.
7. Zhang, W. and M. Hassoun (2000) A small signal analysis of a gain-boosting amplifier. *IEEE Southwest Symposium on Mixed-Signal Design*, IEEE, San Diego, CA.

收件：98.04.09 修正：98.07.13 接受：98.09.30