

## 以 Sequence-Pair 表示法處理植基於群聚策略之 不確定模組平面規劃問題

程仲勝 江昱麟 孫文彥 高一宏

大葉大學電機工程學系

彰化縣大村鄉山腳路 112 號

### 摘要

隨著積體電路設計階層趨於複雜化，在後端實體設計（physical design）階段時才考慮電路模組平面規劃（floorplanning）問題已無法將規劃結果立即回饋予前端系統設計（system design）以便於修正其相對設計，因此我們考慮在前端系統設計階段模組尚未設計完成時即預先評估由這些不確定模組（uncertain modules）所形成的平面規劃結果，探討針對面積及維度大小不固定之模組如何進行未來平面規劃的評估。在本論文中我們提出一個植基於群聚（clustering）策略之不確定模組平面規劃演算法以便能有效的評估不確定模組所形成之晶片面積。在我們的方法中，給定每一個模組幾組不同的寬與高及其相對應之機率後，採用群聚技巧將模組聚集起來形成一些面積較大但個數較少的組合模組（supermodules），接著以 Sequence-Pair 表示法來記錄組合模組間相對位置關係並在其上執行模擬退火（simulated annealing）程序以求得不確定模組所形成的最終晶片寬、高與其面積之機率分佈圖。

**關鍵詞：**實體設計，平面規劃，不確定模組，模擬退火，群聚

## A Clustering-Based Approach for the Floorplanning of Uncertain Modules by Using Sequence-Pair Representation

JONG-SHENG CHERNG, YU-LIN CHIANG, WEN-YEN SUN and YI-HONG GAO

*Department of Electrical Engineering, Da-Yeh University*

*No. 112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan*

### ABSTRACT

As VLSI/SOC (very large scale integration / system on chip) technology advances, it is becoming increasingly inefficient for designers to feedback backend physical design floorplanning results to frontend phase for modifying the corresponding system design. Hence, it is important to consider evaluating floorplanning results during the frontend system design phase, which requires evaluating the chip area and dimensions by considering uncertain modules that have not been completely designed and have uncertain areas and dimensions. In this research, a non-slicing floorplanning algorithm based on a clustering strategy is proposed for effectively and efficiently evaluating the area of a chip of uncertain modules. In this method, when given certain sets of

different widths, heights and corresponding feasible probabilities for each uncertain module, a clustering strategy is applied to grouping the modules for forming fewer supermodules of a larger size. Next, a Sequence-Pair representation for a non-slicing floorplan is used to record the relative positions among the supermodules; finally, a simulated annealing procedure is executed according to the Sequence-Pair representation for obtaining a better area distribution graph.

**Key Words:** physical design, floorplanning, uncertain module, simulated annealing, clustering

## 一、簡介

VLSI (very large scale integration) 後端實體設計 (physical design) 階段中的平面規劃 (floorplanning) 是整個階段的第一個步驟且是一個相當重要的步驟, 其影響爾後其他步驟甚鉅, 因此有許多方法被提出來解決後端實體設計階段平面規劃的問題 [1-3, 6-20]。平面規劃最主要的目的是放置一組電路模組 (modules) 於晶片上並使整體晶片面積達到最小。平面規劃後所得之最終平面圖 (floorplan) 可以分成可切割 (slicing) 平面圖 [16, 19] 與不可切割 (non-slicing) 平面圖 [3, 6-8, 10, 12-15] 兩大類。因此, 平面規劃演算法亦可分為處理可切割 [16, 19] 與不可切割 [3, 6-8, 10, 12-15] 平面結構兩大類。在處理可切割平面結構方面可用可切割樹 (slicing tree) [16] 和波蘭表示法 (polish expression) [19] 表示模組間位置的關係。而在處理不可切割平面結構方面則可用 Bounded-Sliceline Grid (BSG) 表示法 [15]、Sequence-Pair (SP) 表示法 [14]、O-Tree 表示法 [7]、B\*-Tree 表示法 [6]、Corner Block List (CBL) 表示法 [8] 及 Transitive Closure Graph (TCG) 表示法 [10] 等來表示模組間相對位置關係。

隨著積體電路設計的複雜化, 在實體設計階段時才考慮平面規劃問題已不能滿足系統設計需求, 因此須在模組設計尚未完成前即考慮評估此種不確定模組 (uncertain modules) 對未來形成之晶片面積有何影響, 進而修正系統階層之模組設計, 使得整個系統設計趨於完善。然而除了文獻 [4] 及 [5] 之外, 就我們所知以往並沒有其他關於解決不確定模組平面規劃問題之文章。在文獻 [5] 中, 其提出以二元樹表示可切割之不確定模組平面規劃; 而在文獻 [4] 中, 作者提出一個以 Corner Block List 不可切割表示法 [8] 來處理不確定模組之平面規劃問題, 然而在本論文中我們提出一個以 Sequence-Pair 不可切割表示法 [14] 來處理不確定模組之平面規劃, 用以與先前的表示法作一比較。在我們的方法中, 給定每一個模組幾組不同的寬與高及其相對應之機率

後, 採用群聚技巧將模組聚集起來形成一些面積較大但個數較少的組合模組 (supermodules), 接著以 Sequence-Pair 表示法來記錄組合模組間相對位置關係並在其上執行模擬退火 (simulated annealing) 程序以求得面積較佳化的結果。

## 二、問題描述

以往後端實體設計平面規劃所處理的電路模組可分為硬性模組 (hard modules) 與軟性模組 (soft modules) 兩種。每個硬性模組只有一組固定寬、高值, 硬性模組在平面規劃時藉由旋轉有兩種擺放方式。而軟性模組並沒有固定的寬或高, 只有固定的面積與給定之寬高比 (aspect ratio) 限制, 因此並不會像硬性模組一樣只有兩種擺放可能性。但一般為了平面規劃處理上的方便, 之前研究多使用多組寬、高值來處理軟性模組的擺放問題。然而在前端系統階層設計時, 若要預先評估此階段尚未設計完成之不確定電路模組所形成的平面規劃結果, 則必須探討針對不確定模組如何進行平面規劃。不確定模組因其尚未設計完成, 不但沒有固定的寬高維度, 亦無固定的面積, 且針對每種可能的寬/高/面積, 皆有其相對的機率值以表示未來模組設計完成後維度/面積大小之可能性。

不確定模組之平面規劃可被定義為在模組彼此不重疊的限制下擺置一組不確定電路模組, 以求得一較佳最終晶片寬、高與其面積之機率分佈。令  $B = \{b_1, b_2, \dots, b_n\}$  為欲擺置之  $n$  個不確定寬與高 (面積不固定) 之矩形模組集合, 而第  $i$  個模組  $b_i$  之寬、高可能值及其相對應之可能機率值分別為  $\{(w_{i1}, Pw_{i1}), (w_{i2}, Pw_{i2}), \dots, (w_{is}, Pw_{is})\}$  與  $\{(h_{i1}, Ph_{i1}), (h_{i2}, Ph_{i2}), \dots, (h_{is}, Ph_{is})\}$ , 其中  $w_{ik}$  及  $h_{ik}$  分別為可能之寬及高值, 而  $Pw_{ik}$  及  $Ph_{ik}$  則分別為其相對應之機率值, 且  $Pw_{i1} + Pw_{i2} + \dots + Pw_{is} = 1$  及  $Ph_{i1} + Ph_{i2} + \dots + Ph_{is} = 1$ 。經不確定模組平面規劃處理後可得到最終平面圖之寬與高機率分佈, 分別為  $\{(w_1, Pw_1), (w_2, Pw_2), \dots, (w_x, Pw_x)\}$  與  $\{(h_1, Ph_1), (h_2, Ph_2), \dots, (h_y, Ph_y)\}$ , 其中  $Pw_1 + Pw_2 + \dots + Pw_x = 1$  且  $Ph_1 + Ph_2 + \dots + Ph_y = 1$ 。而寬及高機率分佈相乘則可得最終平

面圖之面積機率分佈。

### 三、Sequence-Pair 表示法

由於我們所提出解決平面規劃的方法是以 Sequence-Pair 表示法 [14] 為基礎，因此以下將簡要說明 Sequence-Pair 表示法如何記錄模組間相對位置關係。Sequence-Pair 是由兩串數列所建構而成，這兩串數列的每一個元素皆代表一個模組，每個模組在任一數列中恰好出現一次。Sequence-Pair 表示法透過模組在兩串數列中的相對位置，來判斷模組間擺放位置的拓撲關係。假設這兩串數列為  $(\Gamma^+, \Gamma^-)$ ，並假設任意兩模組為  $b_i$  與  $b_j$ ，則其必定滿足以下式子中的其中一個：

- (1)  $\Gamma^+ = (...b_j...b_i...)$ ， $\Gamma^- = (...b_i...b_j...)$ ，則  $b_j$  在  $b_i$  的上方。
- (2)  $\Gamma^+ = (...b_i...b_j...)$ ， $\Gamma^- = (...b_j...b_i...)$ ，則  $b_j$  在  $b_i$  的下方。
- (3)  $\Gamma^+ = (...b_j...b_i...)$ ， $\Gamma^- = (...b_j...b_i...)$ ，則  $b_j$  在  $b_i$  的左邊。
- (4)  $\Gamma^+ = (...b_i...b_j...)$ ， $\Gamma^- = (...b_i...b_j...)$ ，則  $b_j$  在  $b_i$  的右邊。

由上可知在 Sequence-Pair 表示法中的任兩個模組，都有著唯一的位置拓撲關係。在判斷完模組之間的位置拓撲關係之後，可得到兩個拓撲圖形，分別為水平拓撲圖形 (horizontal topological graph) 與垂直拓撲圖形 (vertical topological graph)。圖 1 以  $(\Gamma^+, \Gamma^-) = ((b_5b_4b_1b_3b_2), (b_1b_4b_5b_2b_3))$  為例，其水平拓撲圖形與垂直拓撲圖形分別顯示在圖 1(a) 及 1(b)。

得到模組之間位置的拓撲關係後，將水平與垂直拓撲圖形中每個有向邊的長度分別設為相對模組的寬與高，再利用最長路徑演算法分別算出從兩拓撲圖形之起始點到終點的最長路徑，即可計算出最終平面圖的寬及高。以圖 1 為例，若各模組寬高分別為  $b_1\{9, 5\}$ ， $b_2\{5, 3\}$ ， $b_3\{5, 9\}$ ， $b_4\{5, 4\}$ ， $b_5\{9, 3\}$ ，則圖 2 為其最終平面圖。關於 Sequence-Pair 表示法詳細說明，可參考文獻 [14]。

### 四、兩階段不確定模組平面規劃

在本論文中我們提出一個植基於群聚 (clustering) 策略之不確定模組平面規劃演算法以便能有效的評估不確定模組所形成之晶片面積。在我們的方法中，給定每一個模組幾

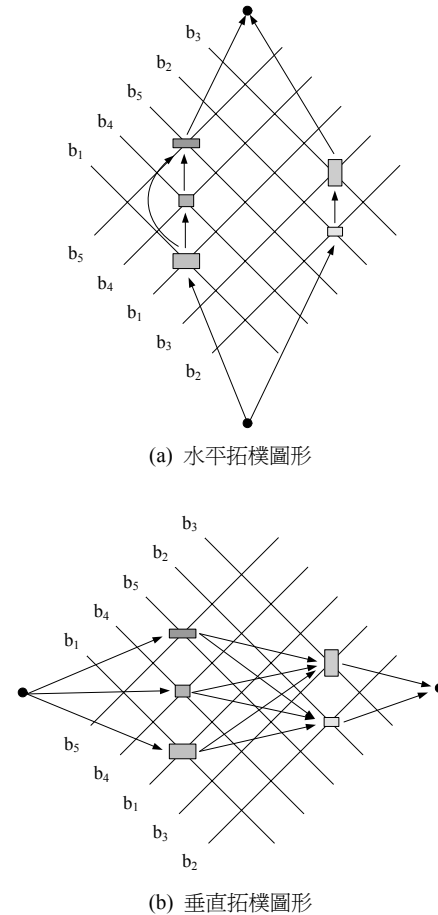


圖 1. Sequence-Pair 表示法所得之模組間位置拓撲圖形

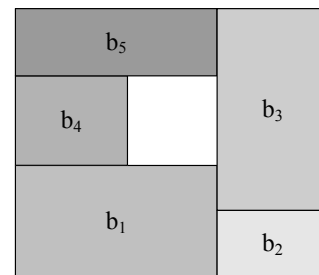


圖 2. 圖 1 相對應之最終平面圖

組不同的寬與高及其相對應之機率後，在第一階段採用群聚技巧將模組聚集起來形成一些面積較大但個數較少的組合模組 (supermodules)，接著在第二階段以 Sequence-Pair 表示法 [14] 來記錄組合模組間相對位置關係並在其上執行模擬退火 (simulated annealing) 程序以求得不確定模組所形成的最終晶片寬、高與其面積之機率分佈圖。在接下來的子節中將針對兩階段平面規劃演算法中重要步驟程序加以說明。

(一) 群聚

群聚可大量減少以疊代式模擬退火為主之平面規劃執行時間。一般而言，只要群聚階層數與模組群集策略配合得宜，植基於群聚策略之平面規劃亦可得到不錯的結果。在本論文中，我們採取由下往上 (bottom up) 模組兩兩結合之階層式 (hierarchy) 群聚策略。假設我們所要群聚的模組為模組  $b_1$  與模組  $b_2$ ，則會存在四種不同的結合方式，如圖 3 所示分別為：(a) 模組  $b_1$  寬  $W_1$  與模組  $b_2$  寬  $W_2$  形成組合模組寬  $W_1+W_2$ ，(b) 模組  $b_1$  寬  $W_1$  與模組  $b_2$  高  $H_2$  形成組合模組寬  $W_1+H_2$ ，(c) 模組  $b_1$  高  $H_1$  與模組  $b_2$  高  $H_2$  形成組合模組寬  $H_1+H_2$ ，(d) 模組  $b_1$  高  $H_1$  與模組  $b_2$  寬  $W_2$  形成組合模組寬  $H_1+W_2$ ，圖中的  $W$ 、 $H$  及  $A$  分別代表組合模組的寬、高及面積。我們將兩模組結合的四種狀況分別記錄下來，並加以分析其優缺點。目前我們選擇閒置空間小的組合來做群聚的動作。

接著我們說明演算法中所採用由下往上階層式模組群聚的步驟：

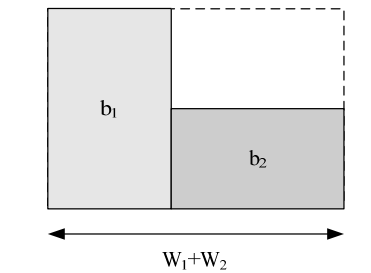
步驟 1：(a) 對一未群聚模組  $b_1$ ，找一模組  $b_2$  使其形成一組合模組，其中模組  $b_2$  為所有未群聚模組中與模組  $b_1$  群聚後產生最小閒置空間者。(注意：任兩模組群聚後之閒置空間取其 4 種組合狀況中最小者)。

(b) 將已群聚之模組移除，對剩下之模組重複步驟 (a) 及 (b) 直到所有模組皆已群聚。

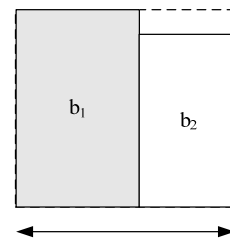
步驟 2：將步驟 1 完成後之組合模組重新視為一般模組並重複步驟 1 及步驟 2 直至達到預設之群聚階層數。

(二) Sequence-Pair 為主之不確定模組平面規劃

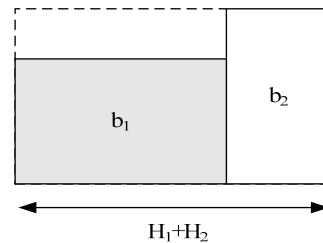
以 Sequence-Pair 表示法為主之不確定模組平面規劃在判斷出不確定模組間拓樸關係之後，與確定性模組的平面規劃一樣必須使用最長路徑演算法分別計算水平拓樸圖形與垂直拓樸圖形從圖形原點到終點的最長路徑，但有別於確定性模組的平面規劃，在執行最長路徑演算法時，不確定模組的平面規劃所得到的是許多可能路徑長度與其相對機率的組合。這是因為當在計算圖形某節點路徑長度時，如有兩條或兩條以上的路徑連接到該節點時，傳統的最長路徑演算法只要比較出那一條路徑較長，即可找出至該節點的最長路徑，但在處理不確定模組的最長路徑時，需考慮每條可能路徑長度之機率，因此必須比較所有連到該節點路徑長度與機率組合，加上該節點所代表之模組本身的長、寬機率組合，



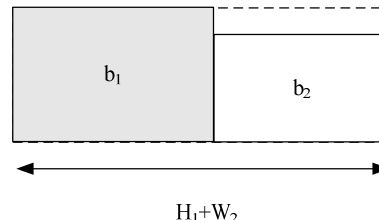
$$\begin{aligned}
 W &= W_1+W_2 & A_1 &= W_1 \times H_1 \\
 H &= \max\{H_1, H_2\} & A_2 &= W_2 \times H_2 \\
 A &= W \times H \\
 \text{閒置空間} &= A - (A_1 + A_2)
 \end{aligned}
 \tag{a}$$



$$\begin{aligned}
 W &= W_1+H_2 & A_1 &= W_1 \times H_1 \\
 H &= \max\{H_1, W_2\} & A_2 &= W_2 \times H_2 \\
 A &= W \times H \\
 \text{閒置空間} &= A - (A_1 + A_2)
 \end{aligned}
 \tag{b}$$



$$\begin{aligned}
 W &= H_1+H_2 & A_1 &= W_1 \times H_1 \\
 H &= \max\{W_1, W_2\} & A_2 &= W_2 \times H_2 \\
 A &= W \times H \\
 \text{閒置空間} &= A - (A_1 + A_2)
 \end{aligned}
 \tag{c}$$



$$\begin{aligned}
 W &= H_1+W_2 & A_1 &= W_1 \times H_1 \\
 H &= \max\{W_1, H_2\} & A_2 &= W_2 \times H_2 \\
 A &= W \times H \\
 \text{閒置空間} &= A - (A_1 + A_2)
 \end{aligned}
 \tag{d}$$

圖 3. 兩個模組結合的四種不同狀況

以計算出從圖形原點至該節點的可能最長路徑與其機率之組合。

為了計算出連接到某節點的所有路徑長度與機率組合，我們比較所有的路徑長度與機率組合，並將其整合成一虛擬路徑，以一鏈結串列記錄其路徑長度與機率組合，我們定義此串列為比較串列，比較串列可以幫助我們在計算往後節點最長路徑時，不需要考慮連接先前節點的路徑。舉例來說，如圖 4(a) 若連接到節點  $c$  的節點有  $a$ 、 $b$  兩點， $a-c$ 、 $b-c$  路徑則代表著不同的路徑長度與機率組合，我們可將  $a$ 、 $b$  兩點合成連接到  $c$  的虛擬點  $Bc$  如圖 4(b)， $Bc-c$  路徑代表著連接到  $c$  點的所有路徑長度與機率組合，虛擬路徑則為  $Bc-c$  路徑的所有可能。

在計算完某節點的虛擬路徑後，必須再加上該節點模組的長度（寬度或高度）與機率組合，才能計算出該節點的路徑長度與機率組合。假設虛擬路徑上有  $n$  組路徑長度與機率組合，而該模組若有  $m$  組長度與機率組合，則可算出該節點最多有  $n \times m$  組不同路徑長度與機率組合。圖 5 舉例說明如何計算節點  $c$  之可能路徑長度與機率組合，其中括弧內左邊數字代表可能之路徑長度或模組寬/高值，而右邊數字則代表其相對之機率值。

經一次不確定模組平面規劃處理後可得到平面圖之寬/高/面積機率分佈結果，接著執行模擬退火程序以求得更準確的寬/高/面積機率分佈。以下我們介紹如何在

Sequence-Pair 兩串數列 ( $\Gamma^+$ ,  $\Gamma^-$ ) 上執行模擬退火的程序，以求得較佳模組間相對位置關係：

步驟 1：經第一次不確定模組平面規劃處理後，計算其所對應之初始平面圖面積機率分佈（可由隨機產生一組  $\Gamma^+$  及  $\Gamma^-$  串列而得）。

步驟 2：開始執行模擬退火程序，目前我們利用以下幾種改變目前模組間相對位置關係的方式進行退火程序：

- (a) 在  $\Gamma^+$  (或  $\Gamma^-$ ) 數列中任意選取兩個模組交換位置。
- (b) 任意選取兩模組並在  $\Gamma^+$  數列與  $\Gamma^-$  數列中皆交換位置。
- (c) 任意交換一模組的寬與高。

步驟 3：計算改變後新平面圖的面積期望值與面積變異數之總和。設定成本函數  $cost$  為此次產生之面積期望值與面積變異數之總和減去上一次接受之面積期望值與面積變異數之總和。若  $cost$  小於零則接受新解，若大於零則隨機產生一介於 0 至 1 之間的數  $r$  並比較  $r$  與  $\exp(-cost/k)$  ( $k$  為溫度參數) 之大小以決定是否接受新解。平面圖的面積期望值代表所有可能面積與其相對應機率之期望值，此值越小越好，愈能產生具有較小面積之平面圖；而平面圖的面積變異數亦越小越好，愈能產生較可靠的平面圖，亦即在所有不確定模組設計完成後之平面圖面

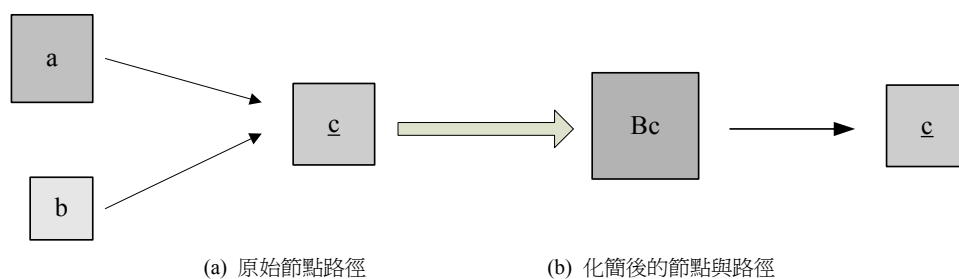


圖 4. 虛擬路徑示意圖

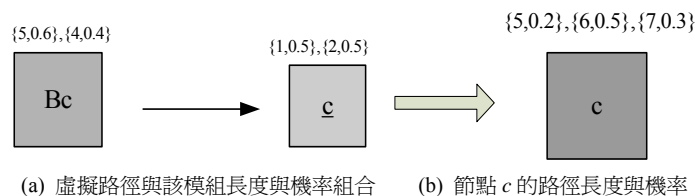


圖 5. 節點路徑長度與機率之計算

積應與估計結果較接近。因此模擬退火之成本函數設為新產生之面積期望值與面積變異數之總和減去上一次接受之面積期望值與面積變異數之總和，期望能尋求一具有較小面積及較可靠之可能平面圖。

步驟 4：依照遞減公式  $k = k \times 0.995$  逐次減小  $k$  值。重複步驟 2 到步驟 4 直到  $k$  值小於預設凝固點。

## 五、實驗結果

在本論文中使用 PC 為實驗平台，其 CPU 時脈為 1.5GHz，記憶體為 384MB，使用編譯軟體為 Microsoft Visual C++ 6.0。實驗所用的 benchmarks 取至 MCNC 包含 apte、xerox、hp、ami33 及 ami49 五個測試電路。在本次的實驗中，針對 benchmarks 模組的資料做了一點修改以符合不確定模組之平面規劃問題，其中將有些模組原本固定維度的資料改為具有多種可能值之不固定資料（面積不固定），亦即將固定模組改為不確定模組。

以下針對每個例子執行所提之平面規劃演算法，其中程式中模擬退火之起始溫度設為 20000°C，終止溫度設為 1°C，降溫比率設為 0.995。模擬退火的目標函數設為面積期望值與面積變異數之線性組合。圖 6 至 10 分別得到 apte、xerox、hp、ami33 及 ami49 五個測試電路最終平面圖寬度機率分佈、高度機率分佈及面積機率分佈之結果。由這些機率分佈圖之結果可以清楚的看到寬/高/面積皆分佈在一定的範圍內且某些值具有相對較高機率值而某些值則具有相對較低機率值，這說明我們可採用具有較高機率值的數值結果來預測未來在不確定模組設計完成後所擺置形成的晶片平面圖較有可能的寬度/高度/面積大小。

另外，我們亦實作文獻 [5] 以可切割 (slicing) 表示法為主之不確定模組平面規劃演算法及文獻 [4] 以 Corner Block List 不可切割表示法為主之不確定模組平面規劃演算法加以比較。我們將以 slicing、CBL 及 Sequence-Pair (SP) 為主所得各例子面積範圍及其區間大小列於表 1。由表 1 可知，三種方法在執行時間相差不大的情形下，文獻 [5] 以 slicing 為主的方法對 apte、xerox、hp、ami33 及 ami49 五個測試電路所得面積範圍分別約為本論文所提以 Sequence-Pair 為主方法的 1.42 倍、1.55 倍、1.89 倍、2.71 倍及 2.14 倍，亦即以 Sequence-Pair 為主的方法可提供比以 slicing 為主的方法較小面積的評估結果。另外，以

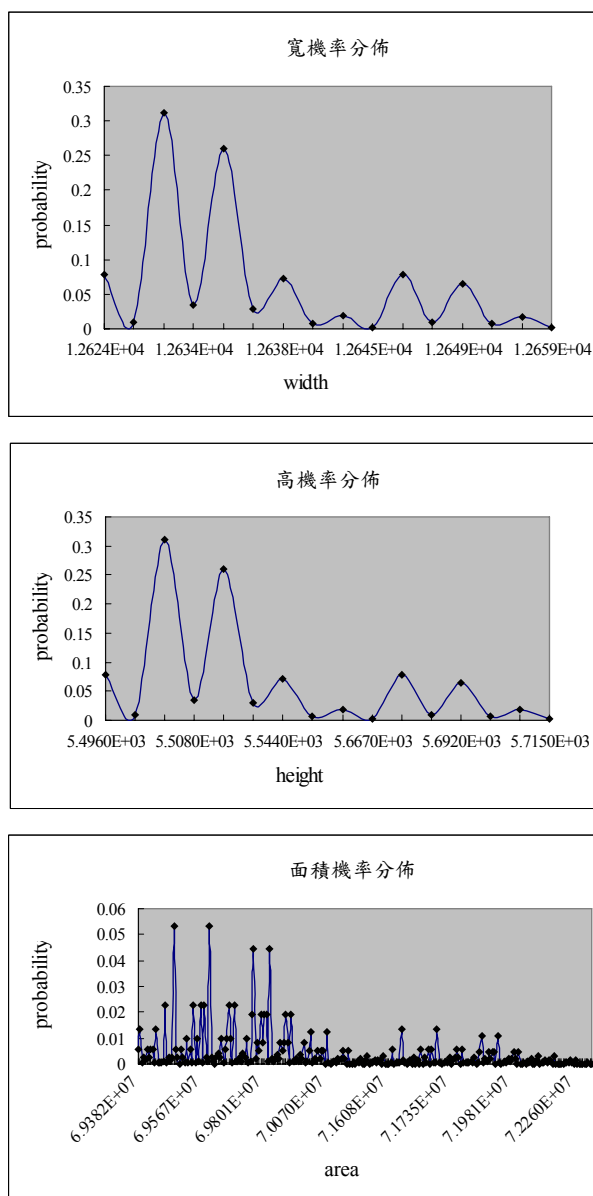


圖 6. apte 電路寬、高、面積機率分佈圖

Sequence-Pair 為主的方法所得每個例子面積區間大小亦較 slicing 為主的方法來得小，這可說明以 Sequence-Pair 為主的方法能產生變異性不大，亦即較可信賴的評估結果。至於文獻 [4] 以 CBL 為主的方法所產生的結果與 Sequence-Pair 差異較小。由此可得，在預測不確定模組未來設計完成後所擺置形成的晶片平面圖面積大小時，利用不可切割表示法如 CBL 或 Sequence-Pair 所設計的演算法似乎較可切割表示法來得準確可靠。

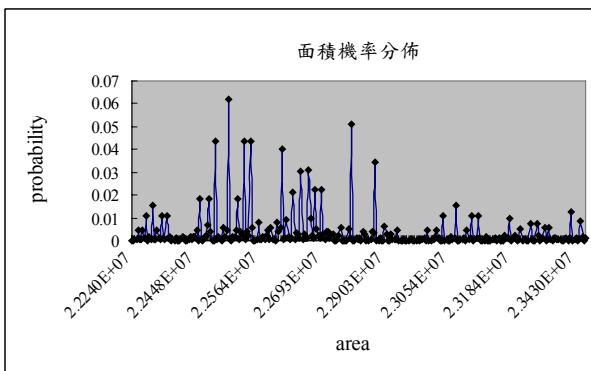
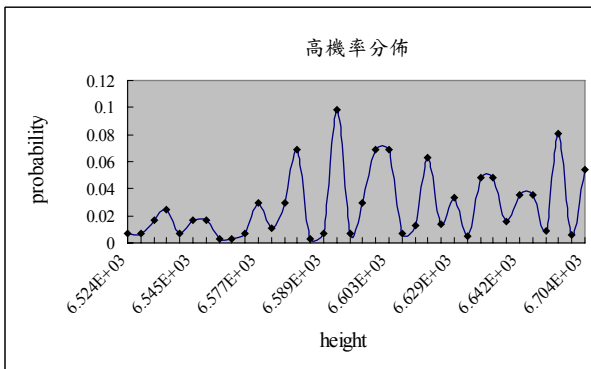
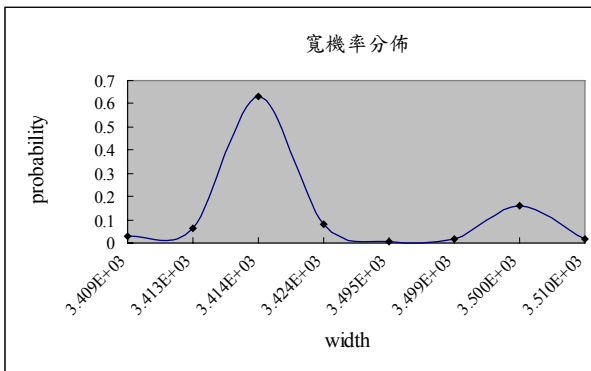


圖 7. xerox 電路寬、高、面積機率分佈圖

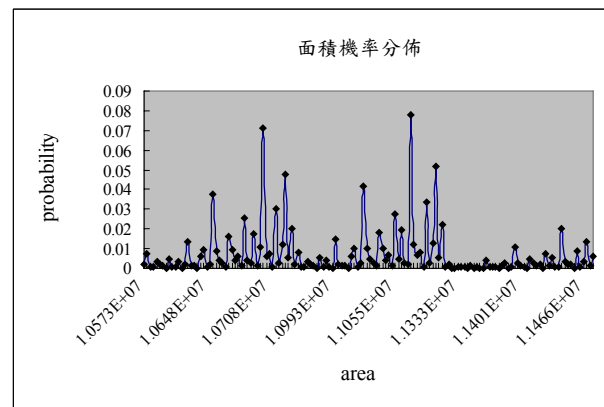
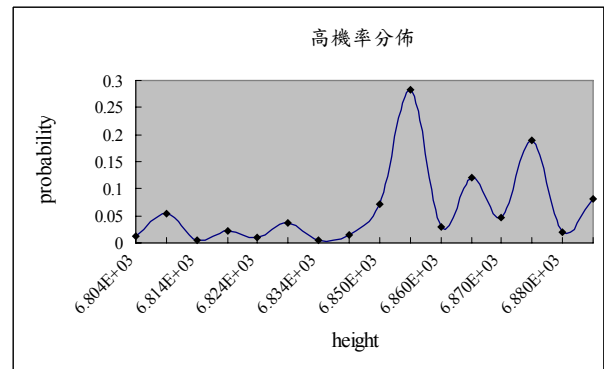
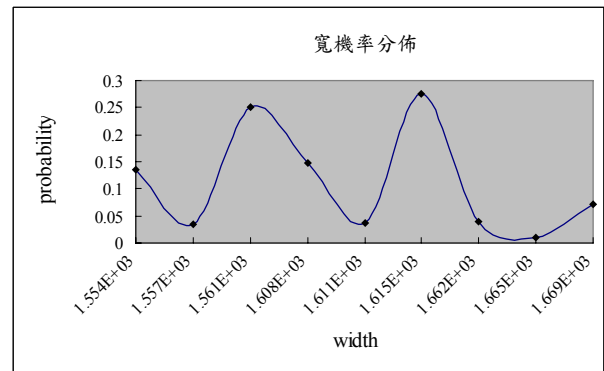


圖 8. hp 電路寬、高、面積機率分佈圖

## 六、結論

在本論文中我們提出一個植基於群聚策略之不確定模組不可切割平面規劃演算法以便能有效的評估具有不固定維度/面積模組電路所形成平面圖之寬、高與面積之機率分佈。所提出的方法中，首先使用群聚技巧將模組兩兩聚集起來形成一些面積較大但個數較少的組合模組，接著採用 Sequence-Pair 表示法來記錄組合模組間相對位置關係並在其上執行模擬退火程序以求得面積較佳化的結果。由本論文及文獻 [4] 以 CBL 為主的方法之實驗結果得知，在預測不確定模組未來設計完成後所擺置形成的晶片平面圖面積大小時，利用不可切割表示法所設計的方法似乎較 slicing 可

切割表示法來得準確可靠。

除了評估面積之外，未來我們亦將利用 slicing、CBL 及 Sequence-Pair 等表示法於不確定模組平面規劃過程中考慮網列連線長度及其分佈狀況，藉以求得不同表示法之不確定模組間網列連線長度及繞線擁擠程度的機率分佈情形。

## 誌謝

在此感謝行政院國家科學委員會提供本研究計畫(計畫編號：NSC92-2218-E-212-003 及 NSC93-2215-E-212-001)之經費補助。

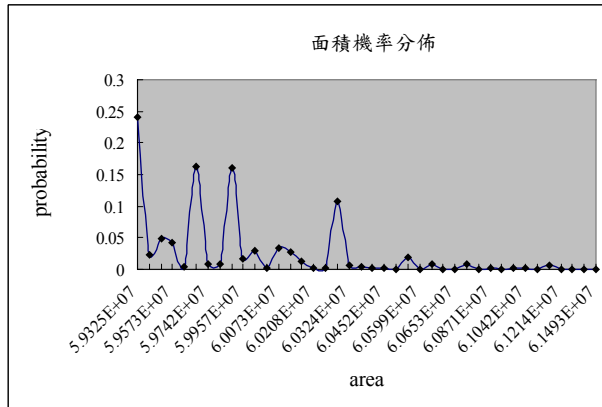
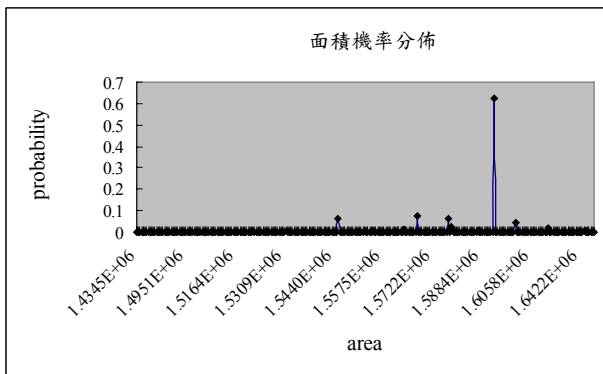
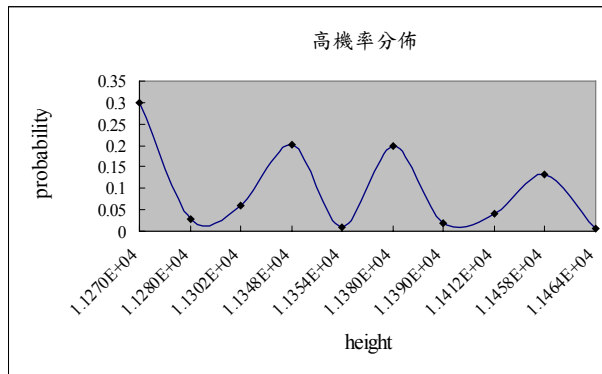
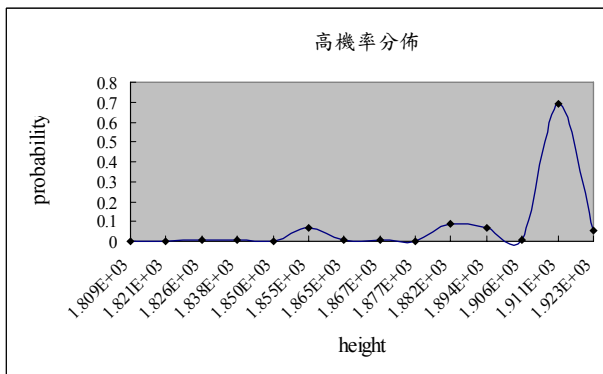
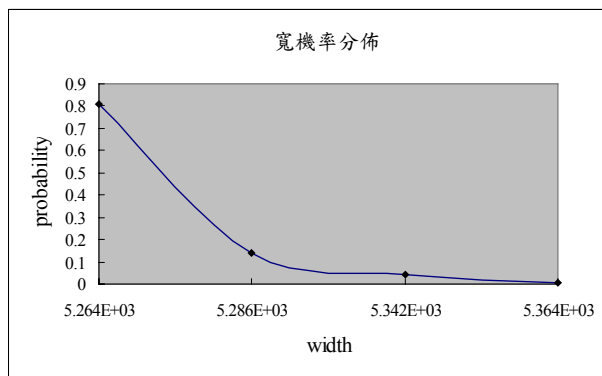
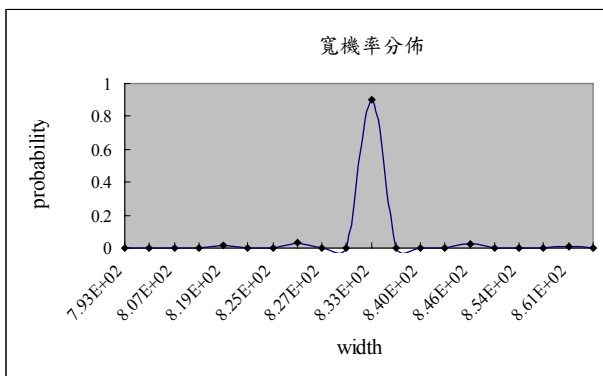


圖 9. ami33 電路寬、高、面積機率分佈圖

圖 10. ami49 電路寬、高、面積機率分佈圖

表 1. slicing、CBL 及 SP 為主不確定模組平面規劃所得各例子面積範圍及其區間大小

Benchmarks		apte	xerox	hp	ami33	ami49
slicing	時間(sec)	5	5	6	65	103
	面積範圍 ( $\times 0.000001$ )	99.00 ~ 102.11	34.21 ~ 36.25	20.15 ~ 21.51	3.92 ~ 4.37	124.81 ~ 132.88
	面積區間大小	3.11	2.04	1.36	0.45	8.07
CBL	時間(sec)	12	12	13	41	98
	面積範圍 ( $\times 0.000001$ )	48.13 ~ 50.11	21.31 ~ 22.94	10.59 ~ 11.28	1.66 ~ 1.78	46.55 ~ 48.33
	面積區間大小	1.98	1.63	0.69	0.12	1.78
SP	時間(sec)	4	13	10	52	90
	面積範圍 ( $\times 0.000001$ )	69.38 ~ 72.30	22.24 ~ 23.31	10.57 ~ 11.46	1.43 ~ 1.63	59.33 ~ 61.21
	面積區間大小	2.92	1.07	0.89	0.20	1.88



### 參考文獻

1. 吳彬玄、程仲勝 (民 91), 降低電磁干擾之後置平面規劃器, 第四屆台灣電磁相容研討會, 台北。
2. 吳彬玄、習存榮、程仲勝 (民 92), 考慮電磁相容之超大型積體電路平面規劃之研究, 第五屆台灣電磁相容研討會, 台北。
3. 程仲勝、潘佳信、江昱麟、蔡宗達 (民 95), 以不可切割表示法處理植基於群聚策略之平面規劃問題, 科學與工程技術期刊, 2(2), 19-28。
4. 程仲勝、潘佳信 (民 95), 以 Corner Block List 表示法處理植基於群聚策略之不確定模組平面規劃問題, 科學與工程技術期刊, 2(4), 45-52。
5. Bazargan, K., S. Kim and M. Sarrafzadeh (1998) Nostradamus: A floorplanner of uncertain design. 7th International Symposium on Physical Design, Napa Valley.
6. Chang, Y. C., Y. W. Chang, G. M. Wu and S. W. Wu (2000) B\*-trees: A new representation for non-slicing floorplans. 37th Design Automation Conference, Los Angeles.
7. Guo, P. N., C. K. Cheng and T. Yoshimura (1999) An O-tree representation of non-slicing floorplan and its applications. 36th Design Automation Conference, New Orleans.
8. Hong, X., G. Huang, Y. Cai, J. Gu, S. Dong, C. K. Cheng and J. Gu (2000) Corner block list: An effective and efficient topological representation of non-slicing floorplan. 18th International Conference on Computer-Aided Design, San Jose.
9. Li, J., T. Yan, B. Yang, J. Yu and C. Li (2005) A packing algorithm for non-manhattan hexagon/triangle placement design by using an adaptive o-tree representation. 42nd Design Automation Conference, Anaheim.
10. Lin, J. M. and Y. W. Chang (2001) TCG: A transitive closure graph-based representation for non-slicing floorplans. 38th Design Automation Conference, Las Vegas.
11. Long, C., L. J. Simonson, W. Liao and L. He (2005) Floorplanning optimization with trajectory piecewise-linear model for pipelined interconnects. 42nd Design Automation Conference, Anaheim.
12. Ma, Y., S. Dong, X. Hong, Y. Cai, C. K. Cheng and J. Gu (2001) VLSI floorplanning with boundary constraints based on corner block list. 6th Asia and South Pacific Design Automation Conference, Yokohama.
13. Ma, Y., X. Hong, S. Dong, Y. Cai, C. K. Cheng and J. Gu (2001) A compact algorithm for placement design using corner block list representation. 4th ASIC Conference, Hong Kong.
14. Murata, H., K. Fujiyoshi, S. Nakatake and Y. Kajitani (1996) VLSI module placement based on rectangle-packing by the sequence-pair. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 15(12), 1518-1524.
15. Nakata, S., K. Fujiyoshi, H. Murata and Y. Kajitani (1996) Module placement based on BSG-structure and IC layout applications. 14th International Conference on Computer-Aided Design, San Jose.
16. Otten, R. H. J. M. (1982) Automatic floorplan design. 19th Design Automation Conference, Miami Beach.
17. Sassone, P. G. and S. K. Lim (2003) A novel geometric algorithm for fast wire-optimized floorplanning. 21st International Conference on Computer-Aided Design, San Jose.
18. Tang, X. and D. F. Wong (2002) Floorplanning with alignment and performance constraints. 39th Design Automation Conference, New Orleans.
19. Wong, D. F. and C. L. Liu (1986) A new algorithm for floorplan designs. 23rd Design Automation Conference, Las Vegas.
20. Xiang, H., X. Tang and D. F. Wong (2003) Bus-driven floorplanning. 21st International Conference on Computer-Aided Design, San Jose.

收件：96.05.31 修正：96.07.09 接受：96.08.15