

低功率之高效能動態邏輯電路設計

邱威豪 葉重廷 林浩仁

大葉大學資訊工程學系

51591 彰化縣大村鄉山腳路 112 號

摘要

漏電流 (leakage current) 在深次微米與奈米電路的設計中是一個相當重要且又棘手的問題；這種現象使得不必要的電能耗損變得相當嚴重。在本篇論文中，我們針對 Pseudo-Footless 骨牌式電路提出 *Conditional Isolator* 的設計技術，可以進一步將動態節點 (dynamic node) 與下拉邏輯迴路 (pull-down network, PDN) 隔離開來，在不犧牲整體電路速度的前提下，減少 Pseudo-Footless 骨牌式電路於運算週期的不必要功率消耗問題。根據於 32 輸入 OR 閘的實驗結果顯示，相較於 Pseudo-Footless 骨牌式電路與傳統骨牌式電路，*Conditional Isolator* 技術可以顯著改善漏電流所引起的功率消耗達到 80%。

關鍵詞：漏電流，Pseudo-Footless 骨牌式電路，動態電路

A Conditional Isolator Technique for Wide Pseudo-Footless Domino Logic Circuits

WEI-HAO CHIU, TSUNG-TING YEH and HOW-RERN LIN

Department of Computer Science and Information Engineering, Da-Yeh University

No. 112, Shanjiao Rd., Dacun, Changhua, Taiwan 51591, R.O.C.

ABSTRACT

Leakage current is a critical issue in the design of very deep submicron circuits, causing serious unnecessary power consumption. In this study, we propose a Conditional Isolator design technique for wide fan-in domino circuits. This Conditional Isolator can circumstantially separate the dynamic node from a Pull-Down Network (PDN) and reduce unnecessary power consumption during the evaluation cycle in Pseudo-Footless Domino logic without sacrificing performance. From the results of an experimental simulation on 32-input OR gates, it is shown that the Conditional Isolator technique can achieve more than 80% improvement in leakage power when compared to that of conventional footless and robust Pseudo-Footless Domino gates..

Key Words: leakage current, pseudo-footless domino logic, dynamic circuit

一、簡介

動態邏輯電路具有快速運算且面積較小的優點，因此常被用在要求高速度且較複雜的超大型積體電路（very large scale integrated circuit, VLSI）中，例如骨牌式電路，便是典型常被採用的動態邏輯電路。然而，動態邏輯電路雖具有運算快速且面積較小的優點，但是功率消耗問題卻明顯比靜態邏輯電路嚴重；尤有甚者，在先進製程的深次微米與奈米電路，諸如 DC 電流、漏電流以及 Discharge tolerant 等問題，都將使得動態邏輯電路的高功率消耗問題雪上加霜 [3]。

隨著晶片的功能日益複雜（如資料寬度越來越大等），電路中所包含的放電路徑亦隨之增加，使得電路因漏電流所引起的功率消耗變得越來越嚴重。

以圖 1 的 OR 閘骨牌式電路為例，經過預充（precharge）週期後，節點 N_I 的電壓值為 High 的狀態；若為了維持動態節點 N_I 的電壓值為 High 的狀態，電路必須持續的補償因漏電流所引起的電壓下降，因此，一個夠大的 Keeper (M_k) 迴路是必要的。

但是由預充週期轉換到運算（evaluate）週期的瞬間，若由輸入值的組合，決定動態節點 N_I 的電壓值應變為 Low 的狀態，Keeper 迴路在這瞬間仍會提供更強的充電，因而造成更多的電流從 M_k 流失到放電端點上。圖 2 說明這種現象，雖然 pull-down network (PDN) 是處於放電，但 M_k 還是會在 N_I 未被拉下前繼續充電，形成一邊放電又一邊充電的情況，這便是所謂的 DC 電流問題。在動態邏輯電路中，為了保持一定的 Discharge tolerant，這是很難解決的額外功率消耗。

為解決 DC 電流的問題，有許多學者致力於在維持電路的運作效能下，如何降低耗能的設計方案之研究 [1, 2, 4-6]，本文針對 wide Pseudo-Footless 骨牌式電路，提出

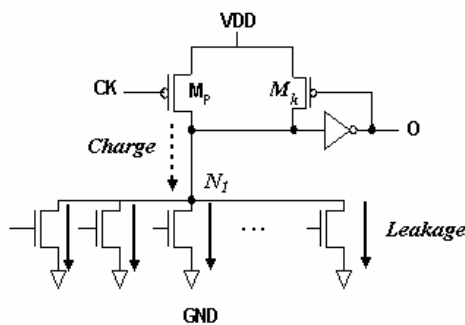


圖 1. 骨牌式 OR 閘

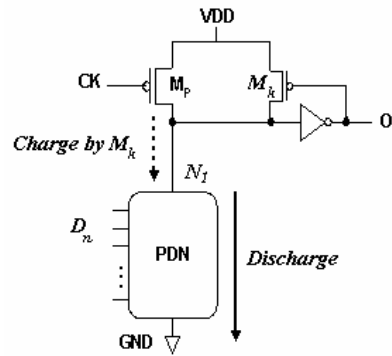


圖 2. 骨牌式電路的 DC 電流

Conditional Isolator 設計技術，能在維持電路的運作效能下，降低耗能且加強電路的雜訊容許能力。

本文其餘的章節結構如下，我們將於第 2 節回顧解決漏電流及 DC 電流問題的相關文獻。第 3 節詳述我們提出的 Conditional Isolator 設計技術。第 4 節將以實際電路模擬，實驗結果並和其他技術比較。

二、傳統骨牌式電路

針對常見的傳統骨牌式電路，為了減少不必要的電能消耗或是提升電路的執行效率，一些有效的設計技術相繼被提出，其中最主要的包含 Conditional Keeper 與 Pseudo-Footless 兩種技術，這兩種技術分別減輕了 DC 電流及不必要的迴路補償問題。

(一) Conditional Keeper 技術

Conditional Keeper 技術 [2, 4] 是解決 DC 電流相當有效的方法之一，其電路的結構如圖 3 所示，主要的觀念在於將一個 Keeper (M_k) 適當切割成兩個較小的 Keeper M_{k1} 及 M_{k2} ，並且使用了簡單的延遲元件，使得 M_{k2} 會收到較晚的時脈訊號。

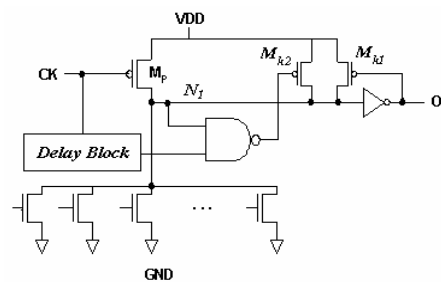


圖 3. 使用 Conditional Keeper 技術的骨牌式電路

這樣的設計使得 M_{k2} 在預充週期切換到運算週期的瞬間，並不會馬上進行迴授充電動作，而只有 M_{kl} 會在這時進行充電的動作。並且保證 M_{kl} 在 PDN 不是放電的情況下，能夠維持一定程度的 Discharge tolerant，不會使得電荷分享 (charge sharing) 或漏電流的問題，讓動態節點的電壓值被拉下；經過一小段時間延遲後， M_{k2} 會依照動態節點的放電情況決定是否進行充電動作。藉由這個機制，在週期轉換的瞬間只有一個較小的 Keeper (M_{kl}) 充電會造成 DC 電流；也就是說，瞬間流失的電流會比只用一個較大的 Keeper (M_k) 時還來得小，DC 電流造成的額外功率消耗即可獲得改善。

(二) Pseudo-Footless 骨牌式電路

由於 wide domino 電路是未來動態電路的重要方案，單一開的複雜程度隨之增加，動態節點在預充週期的充電量也隨之變大。若電路的設計不改變而僅增加資料寬度，這個情況將造成動態節點需要較長的時間才能完整的充/放電，電路的執行效率相對的變差。

Pseudo-Footless (PF) 骨牌式電路 [4] 被提出來解決 wide domino 電路的這個問題，其電路結構如同圖 4(a) 所示，與圖 4(b) 的 Clock-Delayed 骨牌式電路 [6] 有極相似的電路架構。

在運作的時序要求上，[4] 和 [6] 同樣要求資料永遠在時脈訊號到達前完成。[4] 與 [6] 間的最主要差異，在於做為時脈訊號控制的 G_1 ，由 PDN 的下方被拉上來到動態節點的下方，這個設計使得在預充週期中，對於動態節點的充電量不會隨著 PDN 的複雜度而改變。

在傳統的骨牌式電路中，電路的複雜程度往往決定了電容充電的功耗消耗；另一方面，在預充週期時，如果有雜訊的問題發生在 PDN 的放電路徑上，都不會影響到動態節

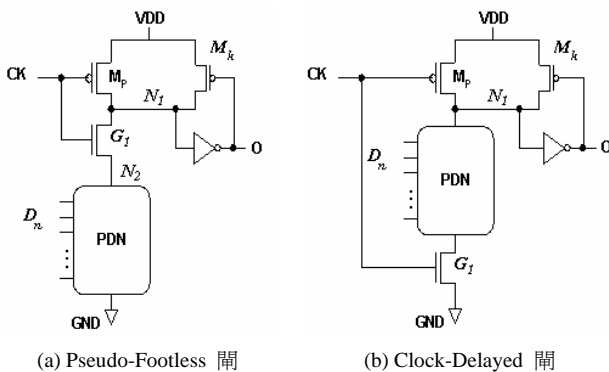


圖 4. Pseudo-Footless 骨牌式電路結構

點，自然也不需要去特別補償這一部份的消耗。因此，PF 骨牌式電路 [5] 比 Clock-Delayed 骨牌式電路 [6] 有較佳的性質。

針對 PF 骨牌式電路的研究，圖 5 顯示兩個進一步改良的電路結構 [5]，這兩個電路結構是考慮在資料寬度更大的情況下，所做的調整。在圖 5(a) 的 Fast-PF 骨牌式電路，加上了一個 NMOS 電晶體 M_d ，利用 NAND 閘和 M_d ，電路可以加速放電，並且在預充週期時，將殘留於節點 N_2 的電荷放盡。而在圖 5(b) 的 Robust-PF 骨牌式電路，除了如 Fast-PF 骨牌式電路一樣加上 M_d 外，更引進了 Conditional Keeper 技術，使得當 PF 骨牌式電路處於一個複雜電路時，除了能改善電容充電時的功率消耗外，也能降低 DC 電流所引起的功率消耗問題。

三、Conditional Isolator 技術

(一) 分析與觀察

一般的傳統骨牌式電路結構 (簡稱 Conv, 如圖 1、2、3、4(b))，通常會隨著 PDN 的複雜程度增加，而使動態節點上的電容變大；在運算週期中，當為了保持動態節點的電壓為 High，Keeper 會持續補償因為漏電流所造成的消耗。我們可以将 Conv 骨牌式電路的功率消耗 PW_{conv} 表示如下：

$$PW_{conv} = P_{dynamic_node} + \sum_{i=0}^r P_{leakage(i)} \quad (1)$$

其中 r 是放電路徑總數，而 $P_{dynamic_node}$ 則包含 PDN 與動態節點連接部份電晶體所消耗的電能。

就 PF 骨牌式電路結構 (如圖 4(a)、5) 而言，動態節點與 PDN 是分開的，因此，動態節點的預充電量與 PDN

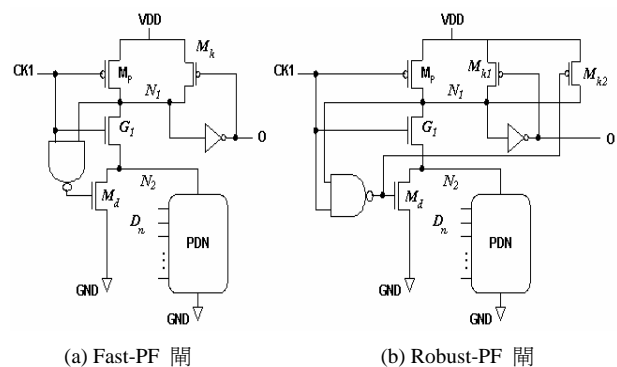


圖 5. 加強型的 Pseudo-Footless 骨牌式電路

無關。在此情況下，考慮讓動態節點電壓值為 High，功率消耗 PW_{pf} 可以用式 (2) 來表示。不過，在運算週期因漏電流所造成的功率消耗，PF 骨牌式電路也無法避免。

$$PW_{pf} = P_{N_1} + P_{N_2} + \sum_{i=0}^r P_{leakage}(i) \quad (2)$$

隨著製程技術的演進，在深次微米 ($0.25 \mu m$ 製程以下) 電路中，漏電流所造成的能量消耗比重越來越大；而在奈米電路中，漏電流所造成的能量消耗將佔整體電路能量消耗的大部份，且 crosstalk 等因素所產生雜訊都會使得漏電流的問題變得更嚴重。

PF 骨牌式電路在預充週期，能有效減少動態節點的通電量；因此，如果能進一步將 PF 骨牌式電路在運算週期，因漏電流所造成的消耗功率降低，是一個值得探討的課題，本文將以此觀察為出發點，提出解決方案。

(二) Conditional Isolator 電路結構與特性

根據 PF 骨牌式電路於運算週期的操作特質，我們將 PDN 和動態節點進一步分隔開來，以降低電路在運算週期的耗能，形成如圖 6 所示的電路結構，我們稱之為 Conditional Isolator (CI) 技術。

CI 骨牌式電路承襲了 PF 骨牌式電路的電路結構與優點，另外如圖 6 的右上角所示，CI 採取一個較小的 Keeper (M_k) 使得當週期轉換的瞬間，DC 電流不至於過大，並且採用較大的控制閘 (G_1 、 G_2)，放電速度提升；透過圖左 NAND 閘的作用，經過一段時間延遲後，CI 會依照 isolated signal 決定是否開放通往 PDN 的路徑，詳細的運作情形如下所示：

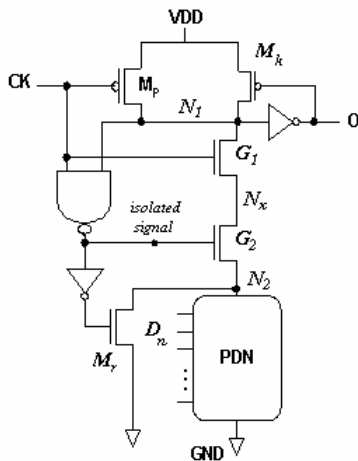


圖 6. Conditional Isolator 技術

1. 當處於預充週期時， G_1 會關閉，而 G_2 會開啓，此時放掉 N_x 的電荷，但動態節點 (N_1) 到接地端點的放電路徑不存在。
2. 當預充週期切換至運算週期的瞬間， G_1 會開啓，此時 G_2 的控制訊號尚未經過 NAND 閘重新運算，因此不會立刻關閉，形成一條 G_1 和 G_2 同時開啓的路徑， N_1 、 N_x 與 N_2 間會有 Charge sharing 的現象，動態節點的電壓會有些許下降。
3. 由 PDN 的輸入 (D_n) 組合，分為兩種狀況：

- (1) 下所示：若於 PDN 形成放電路徑，則動態節點快速放電，電壓變為 Low，造成 Isolated signal 為 High，且 G_2 持續開啓，維持放電路徑的存在。
- (2) 若於 PDN 未形成放電路徑，由於動態節點至接地端未形成放電路徑，則經由 Keeper (M_k) 的補充，迅速回補前述 Charge sharing 造成的電位下降。因此，動態節點的電壓值保持為 High，造成 Isolated signal 為 Low，並立刻關閉 G_2 ，此時放電路徑不存在，動態節點與 PDN 分離。

依據上述的運作原則，CI 電路由動態節點經 PDN 的放電路徑，藉由 isolated signal 對 G_2 的控制而依狀況有效的阻隔，因此 PDN 中的漏電流將不影響到動態節點。另外，即使有很大的雜訊影響在 PDN 形成放電路徑，Isolated signal 也能有效的切斷，而避免雜訊引起動態節點流失電荷。CI 功率消耗 PW_{CI} 可以表示成

$$PW_{CI} = P_{N_1} + P_{N_x} + \int_{t_x}^{t_y} \left(P_{N_2} + \sum_{i=0}^r P_{leakage}(i) \right) dt \quad (3)$$

其中 t_x 與 t_y 表示電路進入運算週期的時間，以及 Isolated signal 拉起的時間，由式 (3) 與式 (2) 比較得知，CI 的電路結構可以減低 PF 骨牌式電路電路不必要的功率消耗，尤其在漏電流所引起的功率消耗方面，於運算週期藉由分離動態節點和 PDN，漏電流的影響被降到最低。

四、實驗結果

在實驗的過程中，我們將運算週期細分為兩個模式，第一個模式為 Hold-Mode，表示動態節點的電壓保持為 High 的狀態，第二個模式為 Active-Mode，表示動態節點的電壓被放電至 Low。

由於所有多輸入的邏輯函式中，OR 閘的邏輯電路所包含的放電路徑最多；因此，我們將依圖 1、圖 6(b) 與圖 7 的電路結構分別設計 OR 閘電路作為測試比較之用，模擬結果分別以 Conv、Robust-PF 與 CI 標示；所有的模擬皆以 $0.18\ \mu m$ 製程為基礎，電壓源 V_{dd} 為 $1.8V$ 。

(一) Hold 模式

在 Hold-Mode 的實驗中，首先探討 Discharge tolerant 的問題，這將影響到整個電路運作的正確性；接下來將觀察功率消耗，並與其他技術做一個比較。

1. 漏電容許能力 (Discharge tolerant)

在漏電流影響下，動態節點的電壓波動可能造成輸出端 Inverter 的短路電流現象；因此，可迅速穩定動態節點電壓的電路，較能克服這種問題，並減少耗能。

在這個實驗中，我們排除考慮 Conv 的電路，這是因為 Conv 的電路其動態節點與 PDN 上的節點是相同的，並非如 PF 骨牌式電路一般，直到運算週期才對 PDN 上的節點 N_2 進行充電；我們設定 PDN 的輸入都為 Low，且以 $27\%V_{dd}$ ($0.486V$) 的雜訊輸入訊號到 PDN 中，持續時間為運算週期的一半，藉以觀察電路對雜訊的反應及耗能的情形。雖然 $27\%V_{dd}$ ($0.486V$) 的雜訊尚未超過 PDN 元件的 V_{th} ($0.5V$)，但這樣的雜訊將放大元件的漏電流，而增加能量的消耗；在 Robust-PF 電路中，當雜訊出現時，PDN 元件的漏電將造成 N_2 電壓的提升出現波折，這樣的現象可以由圖 7(下) Robust-PF 電路的結果中看出，這個波折將使 N_2 受到影響。而對於 CI 電路而言，由於節點 N_x 與 PDN 間以 G_2 隔開，PDN 元件因雜訊造成較嚴重的漏電現象並不會影響 N_x ，因此圖 7(上) 可以看出 N_x 電壓的提升非常順暢， N_2 也

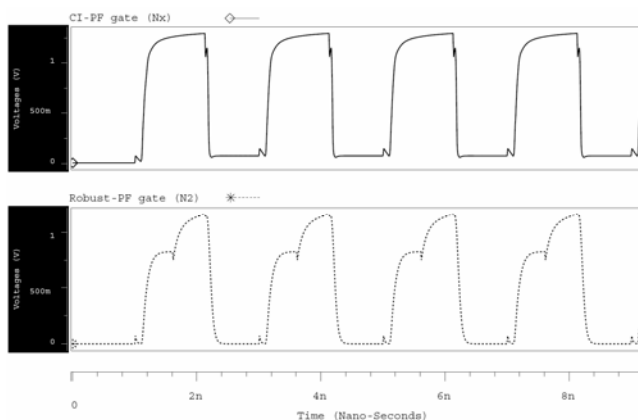


圖 7. CI 與 Robust-PF 骨牌式電路的節點電壓穩定情況

可迅速穩定。由圖 7(上)、(下) 比較得知，CI 可以比 Robust-PF 骨牌式電路，更能快速穩定動態節點的電壓。

2. 功率消耗 (Power consumption)

圖 8 顯示前述實驗中電路的耗能功率之比較，其中我們加入了圖 1 的傳統動態電路 (Conv) 來比較，以觀察 Robust-PF 與 CI 電路在耗能議題上之效益。在 Hold-Mode 中，PDN 中的漏電流引起相當嚴重的耗能增加問題，圖 8 的功率消耗模擬可以明顯看出這種現象。圖 8 顯示當時序進入運算週期時，耗能功率會瞬間增加，其中 CI 和 Robust-PF 的電路因為有額外的控制電路，因此峰值 (peak) 會明顯較 Conv 電路來得大。然而對 CI 而言，耗能的曲線在 peak 點後就迅速的往下掉，而 Robust-PF 和 Conv 電路則需等待雜訊輸入訊號消失，耗能功率才變小，三者之間的差距相當明顯。

接下來我們以 $20\%V_{dd}$ 與 $25\%V_{dd}$ 等較小的雜訊，觀察對 32 輸入的 OR 閘功率消耗的影響，結果顯示在圖 9。由圖 9 可以看出：隨著雜訊的增大，三種電路的耗能都呈現增加的趨勢，Conv 在小雜訊 ($20\%V_{dd}$) 雖然有最小的耗能，但隨著雜訊的增大，耗能增加的趨勢也最明顯；在三種不同雜訊的情況下，CI 都比 Conv 及 Robust-PF 好，而且隨著雜訊增大，CI 領先的幅度也加大。圖 9 中也可以看出，在不同雜訊下，CI 的耗能增幅並不大，對雜訊所引起的耗能可以有效控制。

前述實驗以 32 輸入 OR 閘為測試電路，為了觀察資料寬度對於功率消耗的影響，我們進一步再以 8 輸入與 16 輸

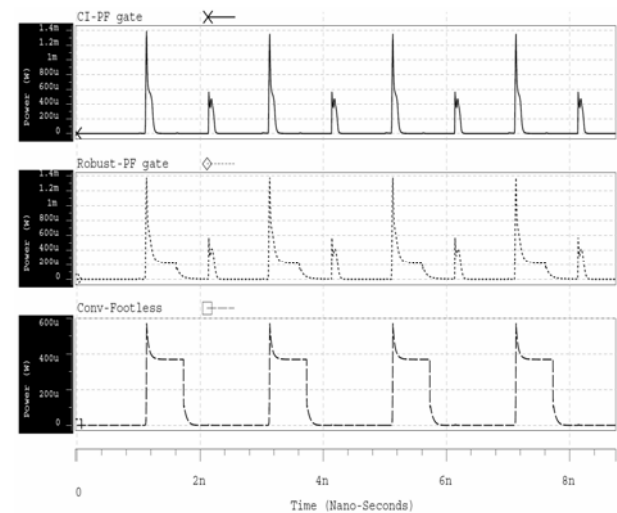


圖 8. 功率消耗於 $27\%V_{dd}$ 的雜訊影響下的情況

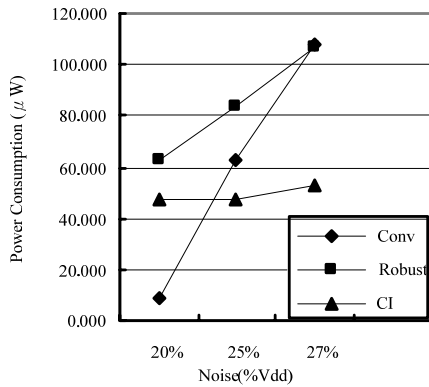


圖 9. 雜訊大小對 OR 閘耗能功率的影響

入的 OR 閘電路模擬，並以 27% V_{dd} 的雜訊輸入訊號，持續時間為運算週期的一半，藉以觀察功率消耗情況；值得一提的是在 OR 閘電路中，輸入個數越多，相對的 PDN 放電路徑也越多。圖 10 顯示實驗結果，從中可以看出，隨著輸入個數（放電路徑數目）的增加，三種電路的耗能都呈現增加的趨勢。其中，隨著資料寬度的增大，Conv 與 Robust-PF 耗能增加的趨勢相當明顯，而 CI 則有相當穩定的表現。由圖 9 與圖 10 的實驗中可以得知，CI 的結構對於雜訊和資料寬度的大小，在降低耗能功率的表現，效果相當穩定。

(二) Active 模式

在 Active-Mode 中，DC 電流和速度間的關係密不可分，運算速度決定 Keeper 停止補償的時間，以及 DC 電流所引起的功率消耗。

1. 效能 (Performance)

在這個實驗中，我們設定 CI 和 Robust-PF 骨牌式電路有相同 Discharge tolerant，藉以觀察 8 輸入、16 輸入及 32

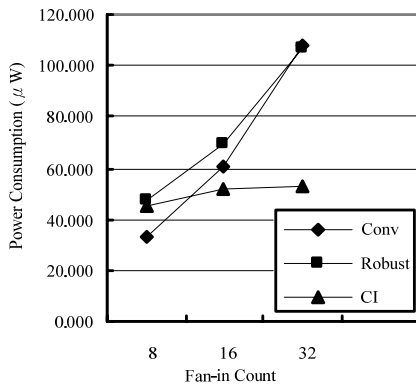


圖 10. OR 閘資料寬度對於功率消耗的影響

輸入 OR 閘電路的操作速度，結果如圖 11 所示。由圖 11 可以看出隨著輸入個數的增加，三種電路的操作速度都呈現下降的趨勢，不過以 CI 的下降幅度最小；這是在 CI 的電路中，可以透過調整 Gating (G_1 、 G_2)，使 Keeper 的變動較小，而獲致較佳的效能；在 Conv 或 Robust-PF 的電路中，隨著電路複雜度的增加，Keeper 必須加大以保持 Discharge tolerant，造成動態節點在放電時有更強的拉扯情況 (DC contention)。

2. 功率消耗 (Power consumption)

圖 12 統計出前述實驗中，32 輸入 OR 閘由 DC 電流所產生的耗能。由於 CI 與 Robust-PF 骨牌式電路的電路結構影響，因此可以由圖 12 看出 CI 電路在一開始耗能功率的增加量較大；但是，由於 CI 的運算速度較快，Keeper 在 Active-mode 中可以較早關閉，終止不必要的補償動作，DC 電流因而明顯減輕；整體而言，CI 電路的耗能最小。

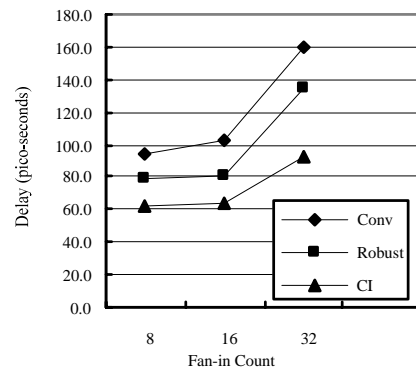


圖 11. OR 閘執行速度比較

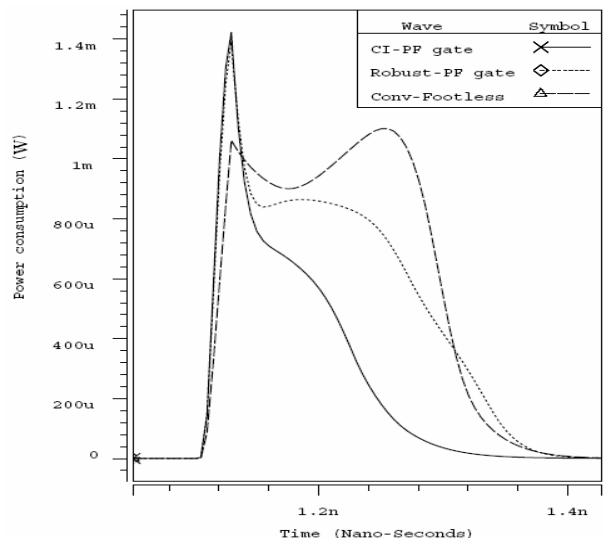


圖 12. 32 OR 閘中 DC 電流的功率消耗比較

圖 13 統計 8 輸入、16 輸入及 32 輸入 OR 閘，當電路複雜度提升時，耗能功率的變化情形。從中可以看出，CI 的耗能功率變動最輕微，對於降低 DC 電流所引發的耗能，效果最好。

五、結論

在深次微米製程技術下，雜訊所引發的問題日益嚴重；且在高效能的考量下，較大的資料寬度也是電路設計所趨。如何使雜訊及資料寬度的大小，不致嚴重影響電路的速度與耗能，是未來動態電路設計的重要課題之一。在本篇論文中，我們提出 Conditional Isolator 技術，針對具有較大資料寬度的動態電路，提供一個設計方案，對於電路效能的維持與耗能的降低，效果非常顯著。

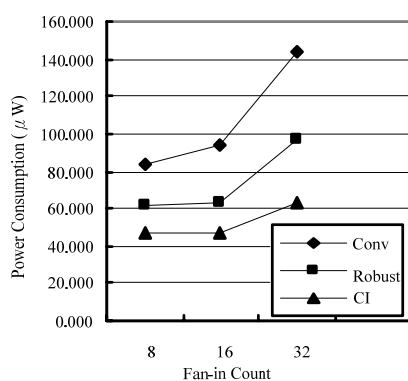


圖 13. OR 閘在 Active-Mode 的功率消耗比較

誌謝

本論文接受國科會專題研究計畫（編號：NSC 92-2218-E-212-001）補助。

參考文獻

1. Alvandpour, A., R. Krishnamurthy, K. Soumyanath and S. Borkar (2001) A conditional keeper technique for sub-0.13mm wide dynamic gates. Proceeding of 2001 International Symposium on VLSI Circuits, Kyoto, Japan.
2. Alvandpour, A., R. Krishnamurthy, K. Soumyanath and S. Borkar (2002) A sub-130nm conditional keeper technique. *IEEE Journal of Solid-State Circuits*, 37(5), 633-638.
3. Kursun, V. and E. G. Friedman (2004) Node voltage depends subthreshold leakage current characteristics of dynamic circuits. Proceeding of 5th International Symposium on Quality Electronic Design, San Jose, California.
4. Wang, J. S., C. R. Chang and C. W. Yeh (2001) Analysis and design of high-speed and low-power CMOS PLAs. *IEEE Journal of Solid-State Circuits*, 36(8), 1250-1262.
5. Wang, J. S., S. J. Shieh, C. W. Yeh and Y. H. Yeh (2004) Pseudo-footless CMOS domino logic circuits for high-performance VLSI designs. Proceedings of ISCAS'04, Vancouver, British Columbia, Canada.
6. Yee, G. and C. Sechen (2001) Clock-delayed domino for dynamic circuit design. *IEEE Transaction on Very Large Scale Integration Systems*, 36(8), 1250-1262.

收件：94.05.30 修正：96.07.05 接受：96.07.24