

減輕 Domino 電路電荷分享之雙重路徑架構設計

黃伯寬 邱威豪 林浩仁

大葉大學資訊工程學系

彰化縣大村鄉山腳路 112 號

摘要

在動態邏輯電路的設計中，電荷分享（charge sharing）是一個嚴重的潛在問題，將致使動態節點的電壓落降（voltage drop），嚴重時甚至造成電路錯誤。在這個議題上，分離路徑骨牌電路（split-path domino）被提出用來解決電荷分享的問題，透過分離路徑骨牌的特殊結構，電荷分享的問題獲得了改善；然而，分離路徑骨牌擁有較高的電路複雜度，電路設計較為困難。本篇論文提出雙重路徑骨牌（dual-path domino）的新設計方案，以簡潔的電路結構，即可有效的降低電路電荷分享的問題。根據實驗結果，本篇論文所提出的雙重路徑骨牌電路設計方案，在維持相同的電路速度與電荷分享的改善前提下，可以比分離路徑骨牌電路減少 50% 以上的電路複雜度，並且對於電荷分享、電路速度與電路耗能，都有非常顯著的改善。

關鍵詞：電荷分享，電壓落降，domino 動態電路

A Dual-Path Structure for Alleviating Charge Sharing in CMOS Domino Circuits

BO-KUAN HUANG, WEI-HAO CHIU and HOW-RERN LIN

Department of Computer Science and Information Engineering, Da-Yeh University

112 Shan-Jiau Rd., Da-Tsuen, Changhua, Taiwan

ABSTRACT

Charge sharing is one of the critical issues in designing domino circuits. It causes a voltage drop on the dynamic node which may induce a malfunction in the circuit. The split-path domino has been proposed to deal with charge sharing in domino circuits; however, it suffers from a complex circuit structure. In this study, a novel circuit structure, the dual-path domino, which has a concise constitution and is more effective in dealing with the charge sharing issue, is proposed. By the experimental results, the dual-path domino reduces the circuit complexity by more than 50% compared to the split-path domino. Moreover, the dual-path domino obviously achieves effectiveness in reducing dropped voltage due to charge sharing, maintaining circuit performance, and reducing power consumption.

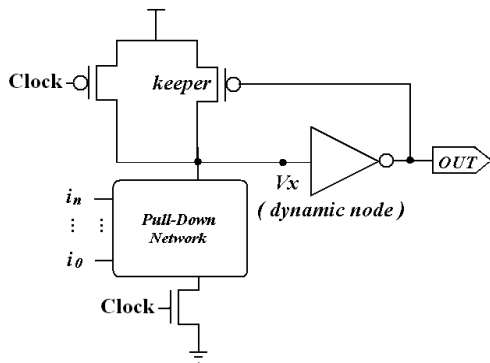
Key Words: charge sharing, voltage drop, domino

一、簡介

動態邏輯電路具有快速運算且面積較小的優點，因此常被用在苛求高速度且較複雜的電路（VLSI, very large scale integration）中，例如微處理器、數位訊號處理器與圖形處理器等晶片。

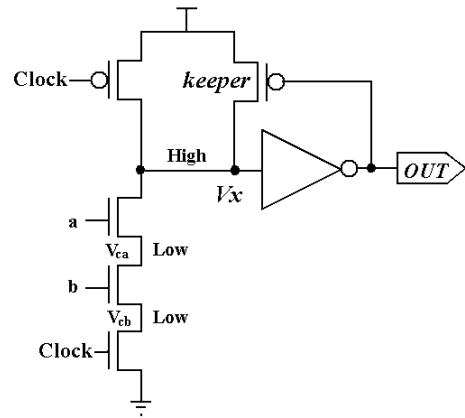
圖 1 為一般標準骨牌電路（conventional standard footed domino）閘 [5]，是常被採用的動態邏輯電路。一般骨牌電路閘以動態節點（dynamic node）之電壓作為運算結果的控制，運作機制包含預充週期（precharge phase）與運算週期（evaluation phase）兩階段。當時脈訊號為“Low”時，電路處於預充週期，受時脈訊號控制之 PMOS（p-channel metal-oxide-silicon）對動態節點進行充電的動作，輸出狀態保持為“Low”；而在時脈訊號為“High”時，電路處於運算週期，受時脈訊號控制之 PMOS 關閉，輸入組合決定邏輯下拉電路（pull-down network, PDN）是否形成放電路徑，進而影響動態節點的放電。此外，一個回授充電器（feed-back keeper）將在動態節點不放電時進行充電動作，避免因為漏電流（leakage current）等問題造成動態節點電壓的錯誤下拉。由於 domino 閘只有下拉元件（pull-down device）與簡單的迴授充電器決定動態節點之狀態，因而有較快的運算速度。

動態邏輯電路雖然具有運算快速且面積較小的優點，但是其非對稱的電路結構，將產生電荷分享的問題。以圖 2 的 2-輸入標準骨牌電路（2-fan-in standard footed domino）AND 閘為例，圖 2(a) 為處於預充週期的骨牌電路 AND 閘，動態節點的電壓值 V_x 將充電至 High，假設此時電壓值 V_{ca} 與 V_{cb} 為 Low；圖 2(b) 為骨牌電路 AND 閘進入運算週期的狀況，若輸入 a 為 High，b 為 Low，則 V_{ca} 將由動態節點充

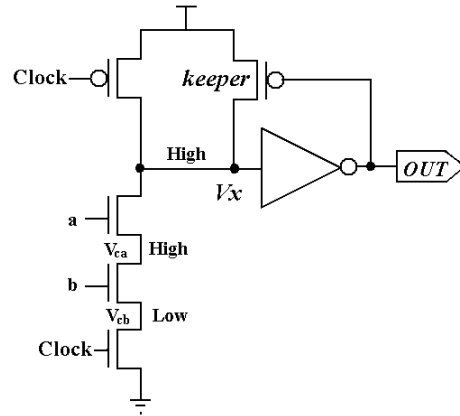


註：Clock 表示時脈輸入訊號

圖 1. 一般標準骨牌電路閘



(a) Precharge Phase



(b) Evaluation Phase

圖 2. 2-輸入標準骨牌電路閘

電至 High，這將導致 V_x 瞬間有些許電壓降落（voltage drop）的現象，這就是電荷分享（charge sharing）的現象 [1-4]。

對於功能較複雜的電路，邏輯下拉電路部份的總節點電容 C_{total} 隨之增加，電荷分享將造成更大的充電量需求；在這種情形下，為了不使 V_x 過度下降造成電路輸出錯誤，一個足夠大的迴授充電器是必要的 [6-8]，但這也將造成充放電競局（DC contention）的問題更加顯著，而致使動態節點放電速度變慢與功率消耗明顯上升。

目前有許多學者致力於如何減輕電荷分享問題的設計方案之探討，分離路徑骨牌電路（split-path domino）[9,10] 的設計，將 PDN 放電路徑複製 n 條後並聯連接，每一條複製的放電路徑上之輸入訊號以不同次序安排，且新的 PDN 上之元件尺寸為原 PDN 相對應元件尺寸的 n 分之一。

分離路徑骨牌電路的電路結構確實能有效減輕電荷分享的問題，但是其複製電路過於複雜，造成電路佈局製作的

困難。本論文提出雙重路徑骨牌 (dual-path domino) 電路的設計方案，以雙路徑的結構，可以達到比分離路徑骨牌電路更好的效果。

本篇論文共分五節，除第一節引言外，第二節將回顧電荷分享議題與分離路徑骨牌的電路結構相關文獻。第三節詳述本文提出的雙重路徑骨牌電路設計方案。第四節將以實際電路模擬，實驗結果並和分離路徑骨牌電路作比較。第五節是本文的結論與未來研究方向。

二、相關文獻回顧

(一) 分離路徑骨牌電路

為了減輕電荷分享所造成的 V_x 下降問題，Yoon et al. [9,10] 提出分離路徑骨牌電路的設計，減輕電荷分享問題；其電路設計如圖 3(b) 所示，依照堆疊層級對下拉迴路分割，並重新分配輸入次序，此外，下拉迴路當中的電晶體大小在分割後，只有圖 3(a) 的三分之一。

針對分離路徑骨牌電路做觀察，其主要的想法在於改善不同輸入組合中的下拉迴路電荷分享電容大小。由於運算周期中下拉迴路的電荷分享電容減小，迴授充電器之大小可以更有彈性的設計，使充放電競局的問題減輕，達到增速與降低功耗的效果；然而，為了分割路徑與輸入重新分配，每一層級都必須分割一條路徑，除了電晶體大小隨著分割數量增加而變得更難以分割，繞線的問題亦使電路複雜度伴隨提升；以元件個數的增量作為考量，電路複雜度與輸入個數的關係可以式(1)表示，其中 G_{sp_grow} 表示下拉迴路元件數目， n 表示輸入之個數。

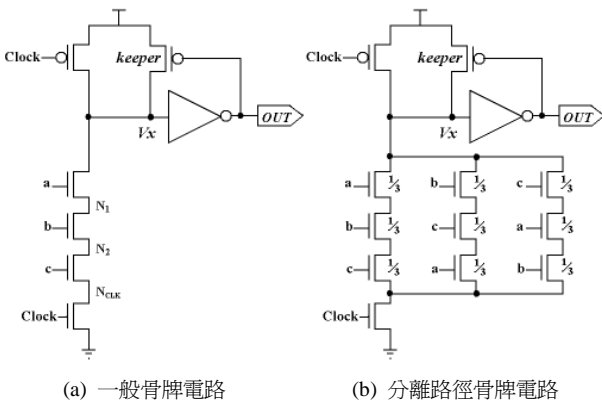


圖 3. 3-輸入骨牌路徑 AND 閘對分離路徑骨牌電路 AND 閘的轉換

$$G_{sp_grow} = n \times n = n^2 \quad (1)$$

由式(1)得知，採用分離路徑骨牌電路的設計方法，下拉迴路的元件個數將隨著輸入個數急遽上升，致使繞線的困難度更為嚴苛。

(二) 分離路徑骨牌電路運作特性

圖 3(a) 的骨牌電路 AND 閘中，最嚴重的電荷分享狀況將於輸入 a 與 b 為 High，且 c 為 Low 之輸入組合下產生，此組輸入組合下，由於動態節點必須對節點 N_1 與 N_2 之寄生電容 C_{N1} 與 C_{N2} 充電，致使 V_x 瞬間下降幅度最大，因此，在不考慮迴授充電器的充電情況下，一般骨牌電路的下降電壓值 V_{conv_drop} 可以式(2)來表示。

$$V_{conv_drop} = V_x - \frac{C_x \times V_x}{C_x + C_{N1} + C_{N2}} \quad (2)$$

藉由圖 3(b) 的分離路徑骨牌電路設計，由於電晶體大小只有圖 3(a) 的三分之一，因此每條路徑上的節點電容大小也將縮小近似為三分之一；考慮前述之輸入組合，在不考慮迴授充電器的情況下，其在分離路徑骨牌電路的下降電壓值 V_{sp_drop} 可以式(3)來表示。

$$V_{sp_drop} = V_x - \frac{C_x \times V_x}{C_x + \frac{C_{N1} + C_{N2} + C_{N2}}{3}} \quad (3)$$

從式(2)及式(3)得知，透過分離路徑骨牌電路設計方法的下拉迴路電荷分享電容，至多只有一般 Domino 的一半，實際所需電荷降低，動態節點的負荷因而減輕；因此， V_{sp_drop} 明顯小於 V_{conv_drop} 。

三、雙重路徑骨牌電路設計方案

(一) 分析與觀察

圖 3(a) 所示之 3-輸入骨牌路徑 AND 閘為例，當時脈訊號為“High”時，由於時脈訊號所控制的 NMOS (n-channel metal oxide semiconductor) 將為“導通”的狀態，故儲存於節點 N_{CLK} 的電荷一定會流至 V_{CC} (GND)，因此， N_{CLK} 不會出現與動態節點電荷分享的情形。

基於上述的現象，電荷分享僅可能發生在下拉電路 (PDN) 的內部節點 (internal nodes)，不會包含節點 N_{CLK} 。假設 $C_{internal}$ 為 PDN 所有內部節點的寄生電容之總和，則

$C_{internal}$ 可由式 (4) 計算得之。

$$C_{internal} = \sum_i C_{Ni} \quad \forall N_i \in PDN \text{ 之內部節點} \quad (4)$$

以圖 3(a) 為例, $C_{internal}=C_{N1}+C_{N2}$ 。在不失一般性的原則下, 往後的分析若未特別註明, 則假設節點內部 N_i 的寄生電容 C_{Ni} 與相連接之電晶體尺寸成正比。為求簡化起見, 假設 PDN 各 NMOS 的尺寸都一樣。

針對任意輸入組合 (input vector) I , 若在下拉電路中不形成放電路徑 (discharge path), 則於下拉電路中狀態為關閉的 NMOS 電晶體, 至少形成一組割集 (cut set), 並將下拉電路切割為三個區域 $R_{l,cs}$ 、 $R_{l,cut}$ 、 $R_{l,dc}$, 如圖 4 所示, 其中 $R_{l,cs}$ 為上半部導通之電晶體, 形成與動態節點分享電荷之區域; $R_{l,dc}$ 為下半部導通之電晶體, 而與 V_{CC} (GND) 形成通路的放電區。而 $R_{l,cut}$ 則為分隔 $R_{l,cs}$ 與 $R_{l,dc}$ 的區域, 是由最接近 $R_{l,cs}$ 的一組割集, 與最接近 $R_{l,dc}$ 的一組割集所包含的區域。值得一提的是 $R_{l,cut}$ 區域所包含的電晶體並不一定都是關閉的, 但是這些導通的電晶體因割集分隔的關係, 不與 $R_{l,cs}$ 相連成為電荷分享區, 也不與 $R_{l,dc}$ 相連成為放電區。

令 $C_{l,cs}$ 、 $C_{l,cut}$ 與 $C_{l,dc}$ 分別為輸入組合 I 下, 於 $R_{l,cs}$ 、 $R_{l,cut}$ 與 $R_{l,dc}$ 中的總節點電容, 則明顯可得知, $C_{internal}$ 、 $C_{l,cs}$ 、 $C_{l,dc}$ 滿足式 (5) 之關係。

$$C_{l,cs} + C_{l,dc} \leq C_{internal} \quad (5)$$

(二) 雙重路徑骨牌電路架構

1. 定義 3.1 (反序輸入, reverse-ordering input)

針對任意功能之 Domino 電路, 可將 PDN 分解成許多

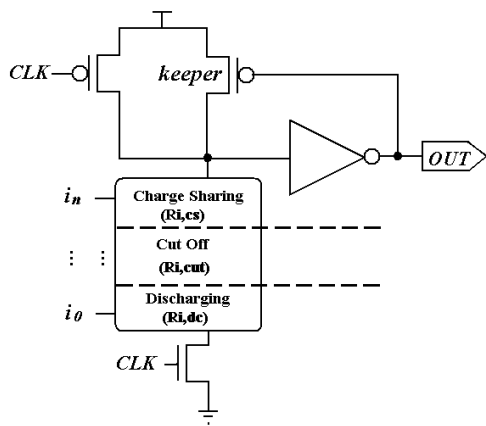


圖 4. PDN 分割區域

最簡子電路之串聯形式, 若將這些子電路區塊, 採以相反輸入次序之形式進行輸入重分配 (pin-reordering), 所形成之電路稱之為反序輸入。

2. 定義 3.2 (雙重路徑骨牌電路)

針對任意功能之 Domino 電路, 令其 PDN 稱為 P_o , 且 P_r 為 P_o 之反序輸入電路, 若將 P_o 與 P_r 各電晶體尺寸縮為原來的二分之一, 再以並聯方式連接 P_o 與 P_r , 作為新電路的 PDN, 則此電路稱之為雙重路徑骨牌電路。

圖 5 顯示一個 3-輸入的雙重路徑骨牌 AND 電路, 透過這樣的設計, 所分割的路徑數被大量減少, 因而減輕元件個數隨著輸入個數急遽上升的問題。

(三) 雙重路徑骨牌電路特性分析

對任意輸入組合 I 而言, 若 PDN 不形成放電路徑, 則依據前述定義, 可找到兩組割集分別對 P_o 與 P_r 形成分割區 $R_{l,cut(o)}$ 與 $R_{l,cut(r)}$, 並且可於 P_o 與 P_r 上得到 $R_{l,cs(o)}$ 與 $R_{l,cs(r)}$ 為電荷分享發生區間, $R_{l,ds(o)}$ 與 $R_{l,ds(r)}$ 為不與動態節點電荷分享, 且具有放電路徑至接地端之區間。

令 $C_{l,cs(o)}$ 、 $C_{l,cs(r)}$ 、 $C_{l,ds(o)}$ 、 $C_{l,ds(r)}$ 為相對於 $R_{l,cs(o)}$ 、 $R_{l,cs(r)}$ 、 $R_{l,ds(o)}$ 、 $R_{l,ds(r)}$ 之節點電容, 由雙重路徑骨牌電路之分割路徑數, 節點電容將只有原先電路的一半, 因此可以得到式 (6) 之關係式。

$$\begin{cases} C_{l,cs(\gamma)} = \frac{C_{l,cs}}{2}, \forall \gamma = \{o, r\} \\ C_{l,ds(\gamma)} = \frac{C_{l,ds}}{2} \end{cases} \quad (6)$$

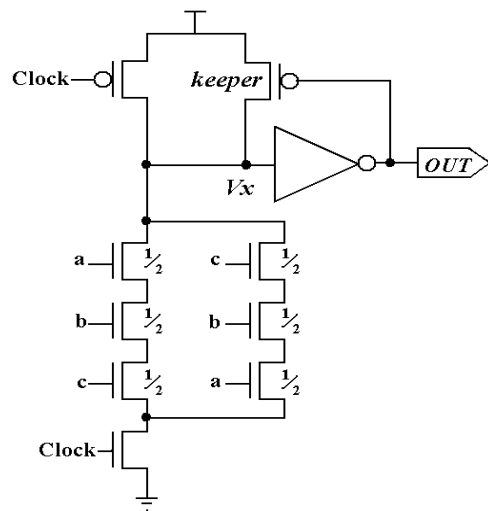


圖 5. 3-輸入骨牌電路 AND 閘對雙重路徑骨牌電路 AND 閘的轉換

根據反序輸入之定義，可以得到 $C_{I,cs(o)} = C_{I,dc(r)}$ 並且 $C_{I,cs(r)} = C_{I,dc(o)}$ ，令 $C_{I,DP}$ 為雙重路徑骨牌電路在任意輸入組合 I 下之電荷分享電容，則 $C_{I,DP}$ 與 $C_{internal}$ 滿足定理 3.1 之關係。

定理 3.1 $C_{I,DP} \leq \frac{1}{2}C_{internal}$ 。

證明：

$$\begin{aligned} C_{I,DP} &= C_{I,cs(o)} + C_{I,cs(r)} \\ &= \frac{1}{2}C_{I,cs} + \frac{1}{2}C_{I,dc} \quad (\text{由式 6}) \\ &= \frac{1}{2}(C_{I,cs} + C_{I,dc}) \end{aligned}$$

由式 5 $\therefore C_{I,DP} \leq \frac{1}{2}C_{internal}$

由定理 3.1 的結果可以看出，使用雙重路徑骨牌電路的設計，將與分離路徑骨牌電路一樣，可使邏輯下拉電路的電荷分享電容，縮減至 PDN 內部節點總電容的一半以下，因此對電壓降落的情形可以有相當的改善。

(四) 雙重路徑骨牌電路複雜度分析

考慮雙重路徑骨牌其電路複雜度，電晶體個數與輸入個數關係可以式 (7) 作為表示，其中 G_{dp_grow} 為採用雙重路徑骨牌電路設計下的電晶體個數；由於僅分割出一條分割路徑設為反序輸入，因此下拉迴路電晶體個數僅僅增加一倍，相較於式 (1)，急遽上升的電晶體個數已得到了完善的控制。

$$G_{dp_grow} = n + n = 2n \quad (7)$$

四、模擬與比較

由於 AND 閘的邏輯電路結構所包含的堆疊節點電容最多，比較容易觀察電荷分享的情形，因此，模擬實驗以 AND 閘做為主要測試對象。針對 AND 閘的 Layout 實作，我們將分別以圖 3(a) 的一般骨牌電路、圖 3(b) 的分離路徑骨牌電路以及圖 5 中的雙重路徑骨牌電路來設計，以便觀察不同設計方法對電荷分享的影響。實驗將以 $0.35\mu\text{m}$ 為基礎，電壓源 V_{dd} 為 3.3V。

(一) 電路複雜度比較

電路複雜度對寄生電容有相當明顯的影響，過於複雜的電路結構，往往造成電路效能不如預期，電路設計與佈局的彈性因而降低。因此，降低電路複雜度對於電路設計彈性與效能將有正面效益。以 5-輸入 AND 閘為例，圖 6(a)、6(b)、6(c) 分別為三種不同架構所設計的佈局圖，圖 6(a) 為一般骨牌電路之設計方案，電路架構最為簡潔，圖 6(c) 為採用分離路徑骨牌電路設計的 Layout 圖，由於需要分割出多條路徑，不論電晶體數目或繞線複雜度，相較於一般骨牌電路之設計都要來得高，圖 6(b) 為採用雙重路徑骨牌電路下的 Layout 圖，雖然繞線複雜度較一般骨牌電路設計複雜，然而，相較於分離路徑骨牌電路的設計，可以明顯看出雙重路徑骨牌電路，不論在電晶體數目或繞線複雜度上都顯得更為理想。

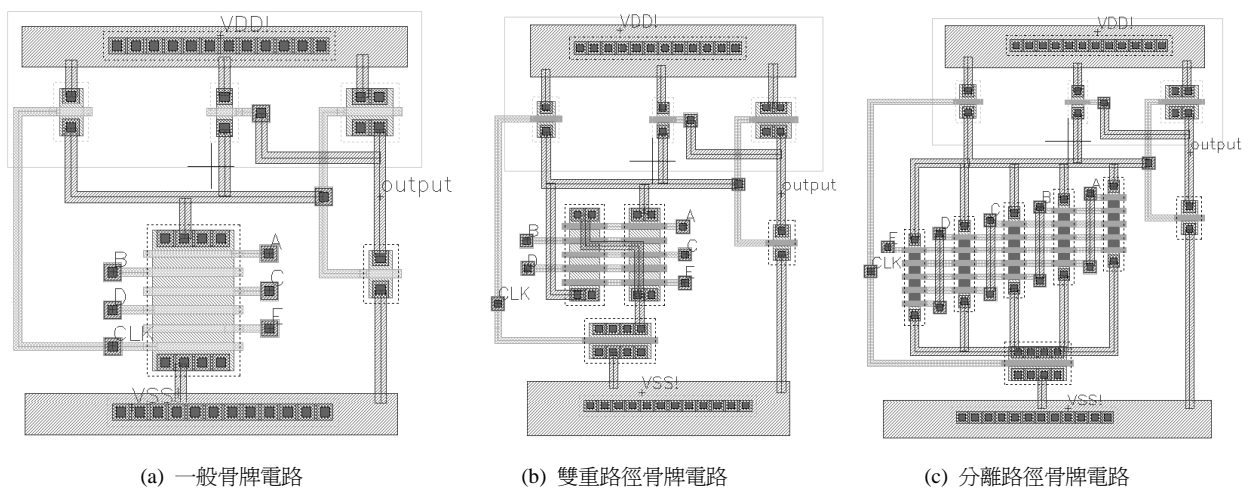


圖 6. 針對 5-輸入 AND 閘的 Layout 影像圖

(二) 電壓降落比較

電荷分享的問題是分離路徑骨牌電路與雙重路徑骨牌電路共同要解決的問題。在電壓降落的實驗中，我們以一般骨牌電路設計的電壓降落為基準，分別以分離路徑骨牌電路與雙重路徑骨牌電路來作比較。

圖 7 是在相同大小的迴授充電器下，實作圖 3(a)、圖 3(b)、圖 5 的 3-輸入 AND 閘後，所得到的動態節點電壓值模擬結果；根據電壓波形的觀測，可以看出一般骨牌電路設計的電壓降落較為嚴重，達到了 0.3V 的電壓降落，分離路徑骨牌電路設計下的電壓降落為 0.18V，相較於一般骨牌電路設計有 40% 的改善，最後，採用雙重路徑骨牌電路的設計方法，電壓降落進一步減輕為 0.16V，達到 46.67% 的改善，可以得知，在減輕電荷分享的方案上，採用雙重路徑骨牌電路的設計可以有更佳的结果。

表 1 是在更多輸入的 AND 閘下所觀察到的電壓降落結果；隨著輸入個數的提高，使用骨牌電路設計會使電荷分享問題更為嚴重；對於輸入數大於 5 的 AND 閘，由於分離路徑骨牌電路必須將電晶體大小分割得更細，但是節點電容縮小幅度卻無法相應，因此分離路徑骨牌電路與雙重路徑骨牌電路對電壓降落的改善差異逐漸增大。

表 1. 輸入個數增加下的電壓降落比較

	Fan-in Counts with Domino AND Gate		
	3	5	7
Conventional	0.30	0.73	1.49
Split-Path	0.18 (40.00%)	0.53 (27.40%)	1.17 (21.48%)
Dual-Path	0.16 (46.67%)	0.39 (46.58%)	0.76 (48.99%)

圖 8 為三種電路結構針對 5-輸入的 AND 閘，觀察電壓降落所得的實驗結果，圖 9 則是針對 7-輸入的 AND 閘所作的實驗結果。從這兩個實驗中可以看出以下現象：分離路徑骨牌電路對於一般骨牌電路設計的電壓降落改善率下降到 27.40%，到了 7-輸入的 AND 閘時，電壓降落的改善率僅有 21.48%，然而我們所提出的雙重路徑骨牌電路設計，於更多輸入的 AND 閘下，仍可維持 46.58% 與 48.99% 的改善率。從圖 8 與圖 9 的電壓波形更可看出，在雙重路徑骨牌電路的設計下，電壓降落的改善情形將比分離路徑骨牌電路來得優越。

分離路徑骨牌電路無法如預期的主要原因，在於即使電晶體寬度縮小為 $1/N$ ，但是相對應的節點電容值並不會很理想的成為 $1/N$ ，而是比 $1/N$ 大，所以當邏輯下拉電路電晶體個數越多，差距會越明顯。然而，本文所提出的雙重路徑骨牌電路則無此問題。

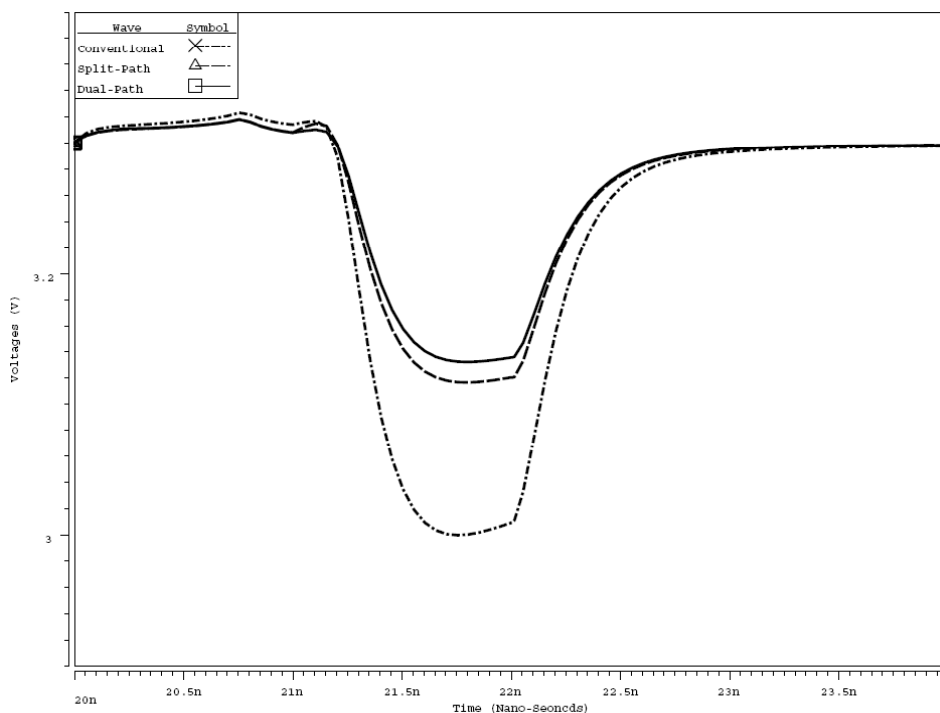


圖 7. 於 3-輸入 AND 閘中動態節點的電壓降落

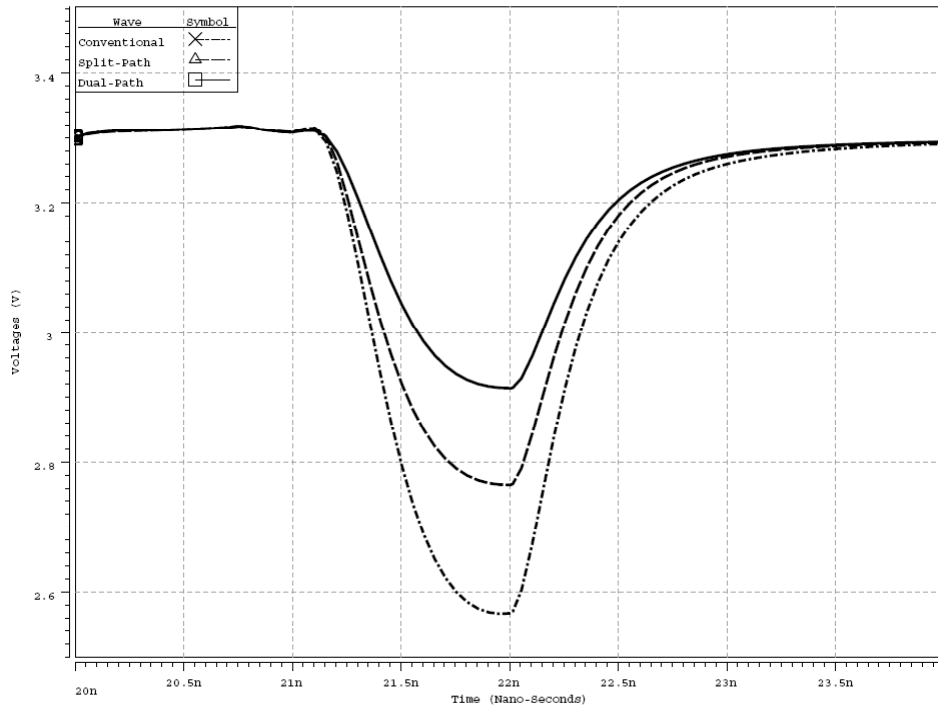


圖 8. 於 5-輸入 AND 閘中動態節點的電壓落降

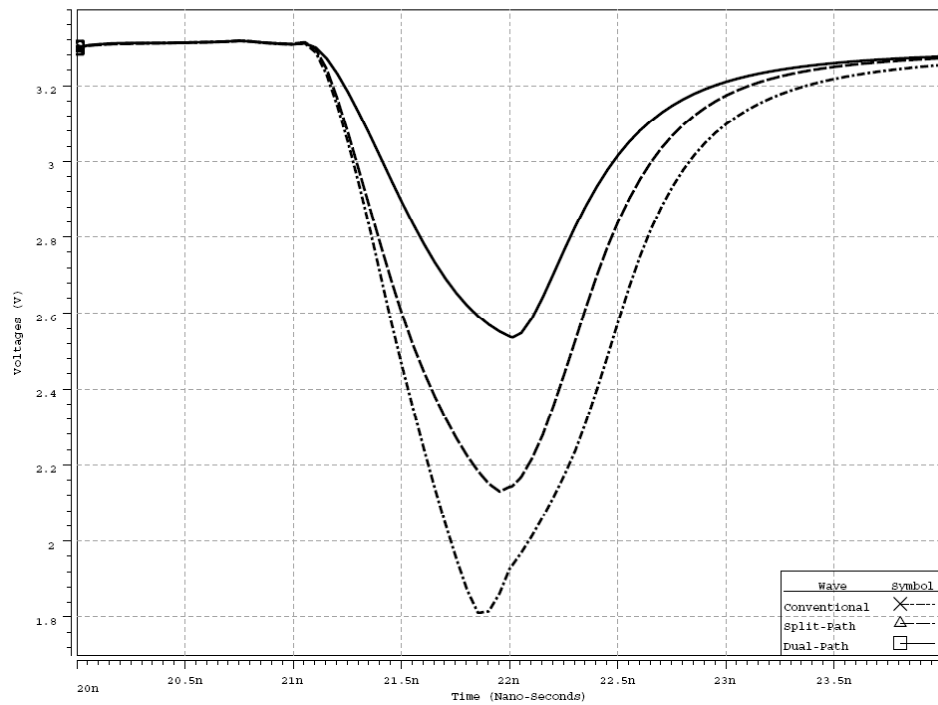


圖 9. 於 7-輸入 AND 閘中動態節點的電壓落降

(三) 電路效能比較

為了比較電路的效能，我們設定一般骨牌電路、分離路徑骨牌電路與雙重路徑骨牌電路具有同樣的電壓落降，

並且觀察在 3-輸入、5-輸入與 7-輸入 AND 閘下的電路速度。

圖 10 顯示了在 5-輸入 AND 閘下，一般骨牌電路、分離路徑骨牌電路與雙重路徑骨牌電路的速度比較；由於分

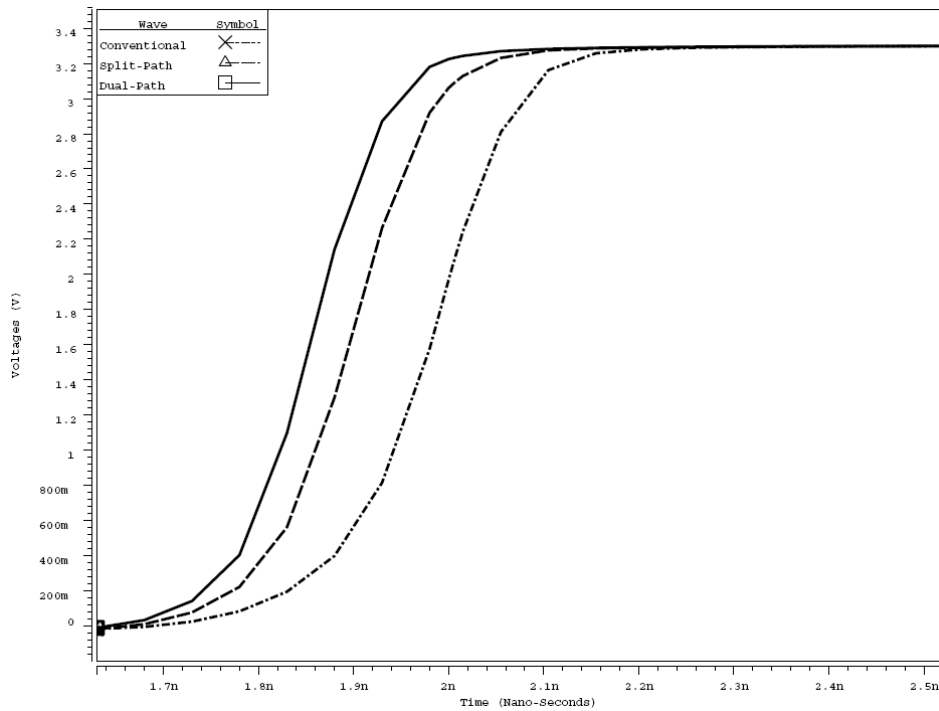


圖 10. 於 5-輸入 AND 閘的輸出速度比較

離路徑骨牌電路與雙重路徑骨牌電路允許使用較小的迴授充電器，使充放電競局的問題減輕，因而可以有較快的電路速度；此外，因為雙重路徑骨牌電路有更好的電壓降落值，可以使用更小的迴授充電器，是故當中又以雙重路徑骨牌電路的電路執行速度最快。

表 2 為不同輸入個數下的電路效能的比較結果，一般而言，速度較快的電路可以使迴授充電器較早關閉，使錯誤的充電時間減少，充放電電流（DC current）較小，功率消耗自然較少。

透過分離路徑骨牌電路與雙重路徑骨牌電路的設計，因為電路具有較快的執行速度，同時充放電電流最小，使得分離路徑骨牌電路及雙重路徑骨牌電路在速度與耗能上，都有較一般骨牌電路還要佳表現，其中又以本篇論文所提出的雙重路徑骨牌電路有著更顯著的效果；隨著輸入個數的增加，相對於一般骨牌電路的耗能改善率分別為 22.32%、25.01%、27.15%，並且於速度上分別有 15.54%、18.08%、20.27% 的改善率。

為了更明顯觀察整體效能，我們採用耗能延遲乘積（power delay product, PDP）的方式，整理出如圖 11 的比較；於整體電路效能的比較中，雙重路徑骨牌電路對於電

表 2. 輸入個數增加下的效能比較

	Fan-in Counts with Domino AND Gate		
	3	5	7
Conventional	24.882 mW	32.265 mW	44.736 mW
	0.53914 ns	0.66285 ns	0.70513 ns
Split-Path	20.407 mW	28.862 mW	41.809 mW
	0.47078 ns	0.58016 ns	0.62667 ns
Dual-Path	19.328 mW	24.196 mW	32.588 mW
	0.45535 ns	0.54303 ns	0.56222 ns

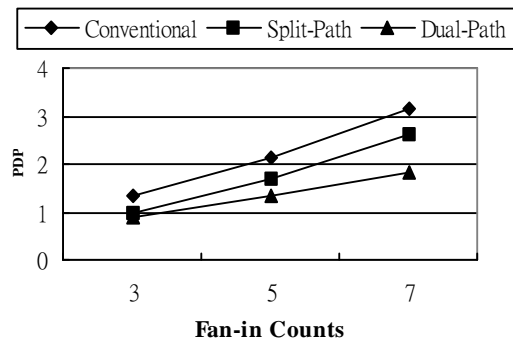


圖 11. 不同輸入個數下的耗能延遲乘積

路效能的改善非常明顯，對於一般骨牌電路有 34.39%、38.56%、41.92% 的改善，而對於分離路徑骨牌電路也有 8.39%、21.53%、30.07% 的改善率。

五、結論

在深次微米製程技術下，電荷分享與雜訊所引發的問題日益嚴重；且在高效能的考量下，較大的資料寬度也是電路設計所趨。如何使雜訊及資料寬度的大小，不致嚴重影響電路的速度與耗能，是未來動態電路設計的重要課題之一。在本篇論文中，我們提出雙重路徑骨牌電路的結構，針對具有較深堆疊結構（deep stack structure）的動態電路，提供一個設計方案；根據實驗結果，除了對於動態節點電壓值的穩定有顯著的效果，對於電路複雜度、速度與耗能的改善亦有非常理想的改善。

參考文獻

1. Chang, S. C., C. H. Cheng, W. B. Jone, S. D. Lee and J. S. Wang (2001) Charge-sharing alleviation and detection for CMOS domino circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 20(2), 266-280.
2. Cheng, C. H., W. B. Jone, J. S. Wang and S. C. Chang (2000) Charge sharing fault analysis and testing for CMOS domino logic circuits. Ninth Asian Symposium 2000 on test (ATS 2000), Taipei.
3. Cheng, C.-H. (2002) Adaptable voltage scan testing of charge-sharing faults for domino circuits. 17th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Vancouver, BC.
4. Heragu, K., M. Sharma, R. Kundu and R. D. Blanton (2001) Testing of dynamic logic circuits based on charge sharing. 19th VLSI Test Symposium (VTS 2001), Marina Del Rey, CA.
5. Krambeck, R. H., C. M. Lee and H. F. S. Law (1982) High-speed compact circuits with CMOS. *IEEE Journal of Solid-State Circuits*, SC-17(3), 614-619.
6. Kursun, V. and E. G. Friedman (2003) Domino logic with variable threshold voltage keeper. *IEEE Transactions on Very Large Scale Integration Systems*, 11(6), 1080-1093.
7. Shieh, S. J., J. S. Wang and Y. H. Yeh (2001) A contention-alleviated static keeper for high-performance domino logic circuits. 8th IEEE International Conference on Electronics Circuits and Systems, Malta.
8. Yang, G, Z. Wang and S. M. Kang (2004) Low power and high performance circuit techniques for high fan-in dynamic gates. 5th International Symposium on Quality Electronic Design, San Jose, CA.
9. Yoon, S. S., S. R. Yoon, S. W. Kim and C. Kim (2003) Noise-aware domino logic design for deep submicron technology. 2003 IEEE Conference on Electron Devices and Solid-State Circuits, Kowloon, Hong Kong.
10. Yoon, S. S., S. R. Yoon, S. W. Kim and C. Kim (2004) Charge-sharing-problem reduced split-path domino logic. 17th IEEE Conference on VLSI Design, Mumbai, India.

收件：94.02.23 修正：94.04.13 接受：94.05.19